



UE TELECOM201 – 2021-2022

La Conversion Numérique/Analogique
La Conversion Analogique/Numérique

Patricia DESGREYS

TELECOM Paris
Département Communications et Electronique
<mailto:patricia.desgreys@telecom-paris.fr>

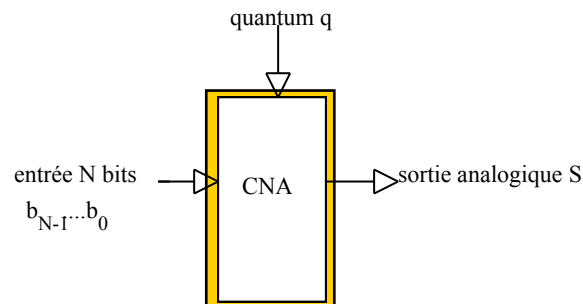


La conversion numérique analogique

- Définition
- Principales caractéristiques
- Test des CNA
- CNA parallèles à réseau pondéré
- CNA parallèles haute résolution
- CNA algorithmiques
- Conclusion

Patricia Desgreys, TELECOM ParisTech

Définition



$$S = q(2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^1b_1 + 2^0b_0)$$

$$q = K \frac{V_{\text{réf}}}{2^N}$$

$KV_{\text{réf}}$ représente la tension de pleine échelle du convertisseur.

Patricia Desgreys, TELECOM ParisTech 3

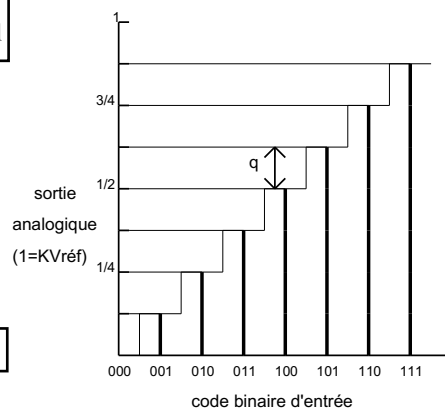
Définition

$$S = K V_{\text{réf}} (2^{-1}b_{N-1} + 2^{-2}b_{N-2} + \dots + 2^{-N+1}b_1 + 2^{-N}b_0)$$

$$S_{\text{Max}} = K V_{\text{réf}} \frac{2^N - 1}{2^N} = K V_{\text{réf}} - q$$

Caractéristique de transfert d'un CNA 3 bits

$$S_{\text{min}} = 0$$



Patricia Desgreys, TELECOM ParisTech 4

Principales caractéristiques

Résolution :

plus petite variation de la tension de sortie en réponse à un changement du code numérique d'entrée ↔ nombre de niveaux accessibles en sortie

$$\text{Résolution du convertisseur N bits : } q = K \frac{V_{\text{réf}}}{2^N}$$

Exemple : N=16 bits et PE=2V → q=30μV

Précision :

mesure de l'écart entre la valeur obtenue réellement et la valeur prédite théoriquement

$$\text{Précision du convertisseur N bits : } \Delta V_e \leq K \frac{V_{\text{réf}}}{2^{N+1}}$$

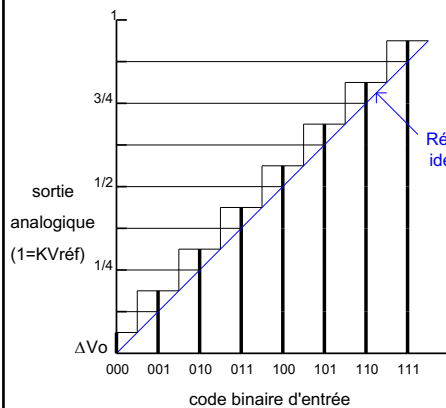


La résolution et la précision ne sont pas nécessairement égales

Patricia Desgreys, TELECOM ParisTech 5

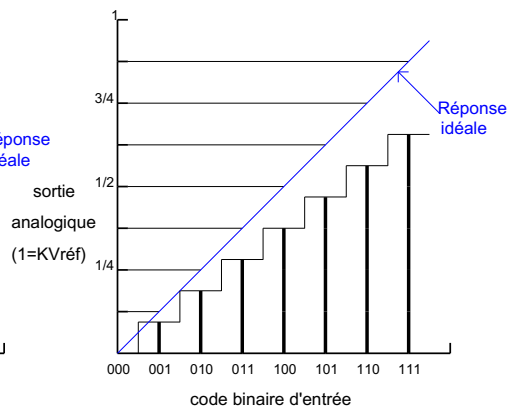
Principaux termes d'erreurs

Erreur d'offset :



Décalage global de la caractéristique de transfert par rapport à la caractéristique idéale

Erreur de gain :



Écart entre la pente de la caractéristique de transfert et la pente idéale

Patricia Desgreys, TELECOM ParisTech 6

Principaux termes d'erreurs

Erreurs de non linéarité :

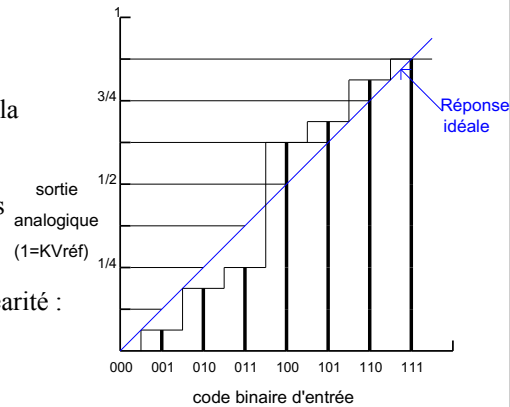
Le concept de non linéarité englobe deux types de déformations :

- déformation globale : non respect de la condition de proportionnalité
- déformation locale : différence entre les sauts d'amplitude entre deux codes d'entrée consécutifs.

Donc deux types d'erreurs de non linéarité :

Non Linéarité Intégrale ou INL

Non Linéarité Différentielle ou DNL



Caractéristique de transfert après correction des erreurs d'offset et de gain

Patricia Desgreys, TELECOM ParisTech

7

Erreurs de non Linéarité

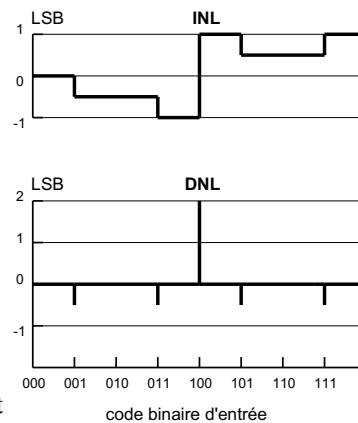
INL : différence entre la valeur réelle de la sortie et la valeur de la droite de référence (droite de régression linéaire)



DNL : différence entre la hauteur de chaque marche et la hauteur idéale d'une marche d'un LSB



Les spécifications du convertisseur précisent les erreurs INL et DNL qui sont généralement inférieures à $\frac{1}{2}$ LSB.



Patricia Desgreys, TELECOM ParisTech 8

Principales caractéristiques

Monotonicité :

caractère selon lequel la sortie analogique est continûment croissante pour une variation croissante du mot numérique d'entrée.

important lorsque le convertisseur referme une boucle de contre réaction.

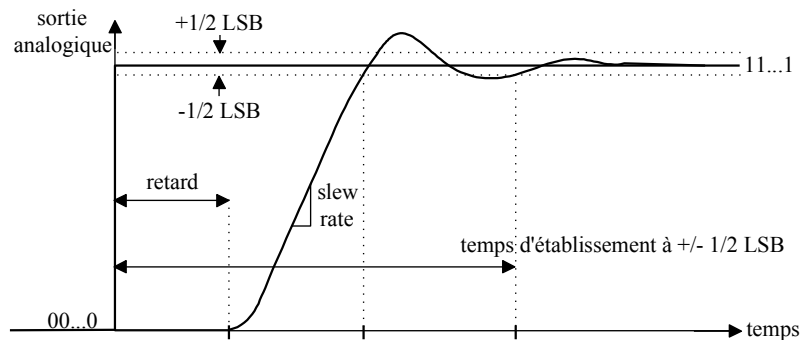
Gamme d'utilisation :

Les performances d'un CNA évoluent avec le temps, la température, et la tension d'alimentation. Donc, le gain, l'offset, les non linéarités et la monotonicité doivent être spécifiés dans une gamme de température et de tension d'alimentation.

Patricia Desgreys, TELECOM ParisTech 9

Principales caractéristiques

Temps d'établissement :



temps au bout duquel la sortie analogique (soit en tension, soit en courant) est comprise dans une bande définie (typiquement $\pm 1/2$ LSB) autour de sa valeur finale, en réponse à un changement de code pleine échelle en entrée.

Patricia Desgreys, TELECOM ParisTech 10

Principales caractéristiques

Bande passante du convertisseur :

Le temps nécessaire au traitement des données à l'intérieur des convertisseurs fixe une fréquence maximale de fonctionnement ou taux d'échantillonnage limite.

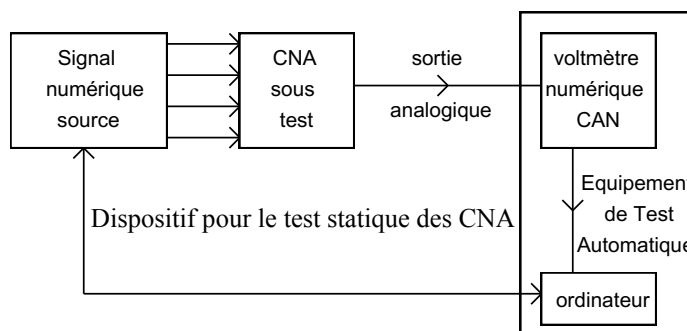
➤ Lorsque l'application nécessite seulement que la sortie analogique soit comprise dans une bande définie autour de sa valeur finale avant que le nouveau code numérique d'entrée puisse être traité :

$$\text{taux de conversion N / A max} = \frac{1}{\text{temps d'établissement}}$$

➤ Plus généralement, la procédure d'évaluation de la bande passante du convertisseur s'appuie sur le tracé du nombre effectif de bit du convertisseur en fonction de la fréquence du signal d'entrée. Dès que le nombre effectif de bits chute d'1/2 par rapport à la résolution DC, la précision nominale n'est plus garantie et la limite de la bande passante du convertisseur est atteinte.

Patricia Desgreys, TELECOM ParisTech 11

Test des caractéristiques statiques

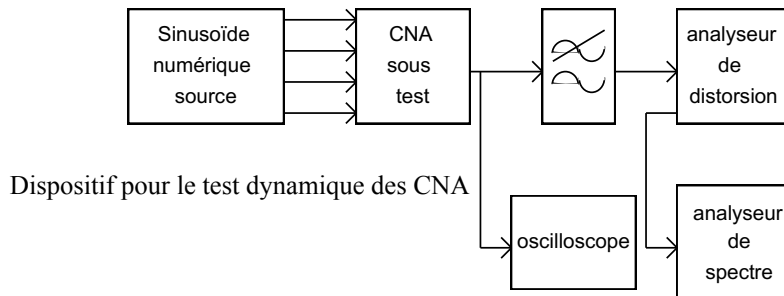


La précision du voltmètre numérique doit être bien plus importante que la précision du convertisseur sous test.

Le test des caractéristiques statiques doit donc être effectué pour plusieurs températures et plusieurs tensions d'alimentation (minimale, nominale, maximale).

Patricia Desgreys, TELECOM ParisTech 12

Test des performances dynamiques par FFT



Plage dynamique sans bruit (SFDR) : différence en dB entre l'amplitude du fondamental et l'amplitude de l'harmonique la plus importante.

Nombre effectif de bits (ENOB) :
$$\text{ENOB} = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02}$$

Patricia Desgreys, TELECOM ParisTech 13

La conversion numérique analogique

Définition

Principales caractéristiques

Test des CNA

CNA parallèles à réseau pondéré

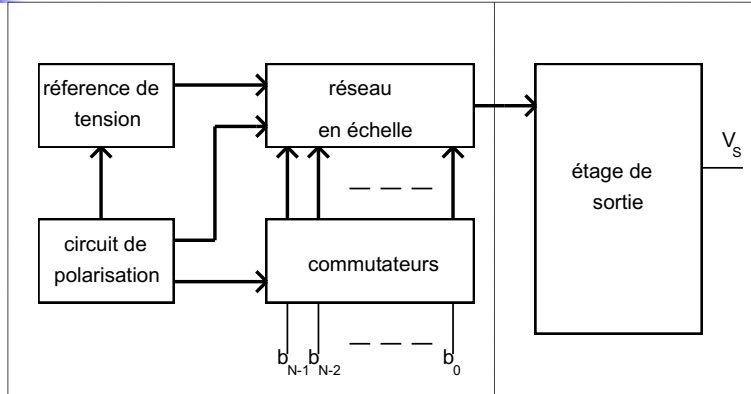
CNA parallèles haute résolution

CNA algorithmiques

Conclusion

Patricia Desgreys, TELECOM ParisTech 14

CNA à réseau pondéré

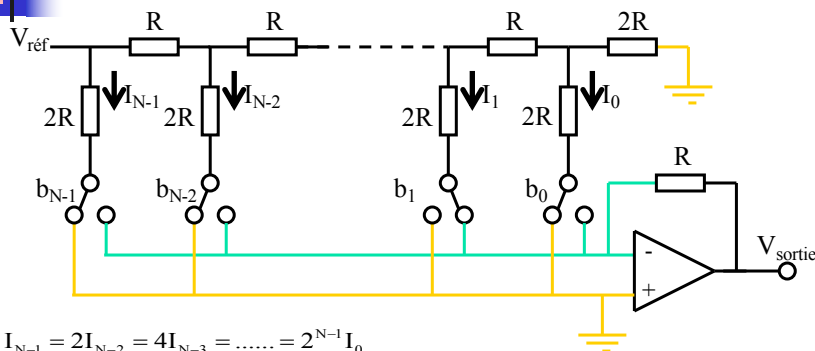


Principe : La sortie est la somme de références analogiques pondérées (réseau binaire) sélectionnées par les bits du mot numérique d'entrée. Les références sont des sources calibrées de courant, de tension ou de charges.

Avantage : rapidité – bande passante accessible = 500 MHz

Patricia Desgreys, TELECOM ParisTech 15

CNA à réseau R-2R



$$I_{N-1} = 2I_{N-2} = 4I_{N-3} = \dots = 2^{N-1}I_0$$

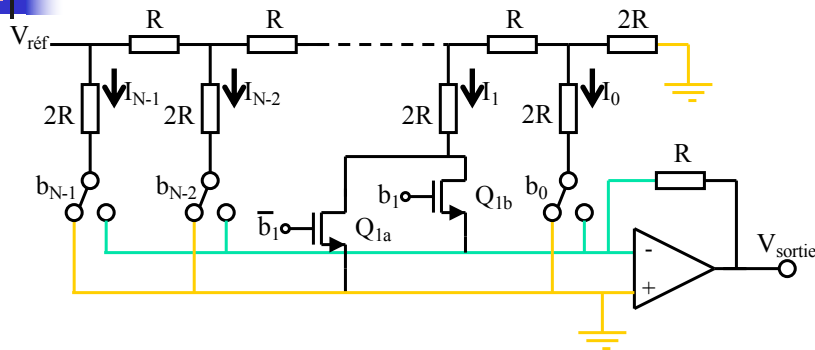
$$V_S = -RI_S = -V_{\text{ref}}(2^{-1}b_{N-1} + 2^{-2}b_{N-2} + \dots + 2^{-N+1}b_1 + 2^{-N}b_0)$$

Une seule valeur de résistance est utilisée
Les résistances identiques sont appariées au mieux à 0.1% } Précision max. 10 bits

+ ajustement laser : Précision max. 12 bits

Patricia Desgreys, TELECOM ParisTech 16

La sélection de la donnée binaire



$$R_{on} = \frac{1}{\mu_n C'_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{Tn})} \quad \left(\frac{W}{L} \right)_{1b} = \left(\frac{W}{L} \right)_{1a} \left. \begin{array}{l} \text{Conditions à} \\ \text{respecter pour} \\ \text{conserver la} \\ \text{pondération binaire} \\ \text{des courants} \end{array} \right\}$$

$$\left(\frac{W}{L} \right)_{N-1} = 2 \left(\frac{W}{L} \right)_{N-2} = 2^{N-2} \left(\frac{W}{L} \right)_1 = 2^{N-1} \left(\frac{W}{L} \right)_0$$

Patricia Desgreys, TELECOM ParisTech 17

Convertisseur à éléments unités

Dans les technologies MOS standards, les résistances sont trop imprécises

➔ Des performances supérieures sont obtenues avec des circuits qui exploitent la mise en parallèle d'un grand nombre d'éléments (capacités ou transistors) unités identiques.

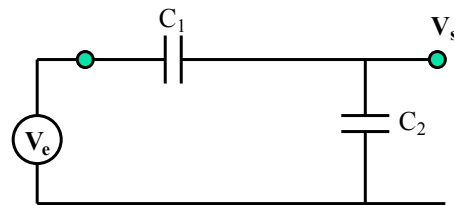
Inconvénient : le nombre d'éléments augmente exponentiellement avec le nombre de bits.

Avantage : Les bits de rangs élevés correspondent à la mise en parallèle d'un nombre très important d'éléments unités. La dispersion entre les éléments est alors moyennée et donc éliminée.

2 types de convertisseurs pondérés à éléments unités $\left\{ \begin{array}{l} \text{Réseau capacitif} \\ \text{Réseau de transistors} \end{array} \right.$

Patricia Desgreys, TELECOM ParisTech 18

Le diviseur capacitif

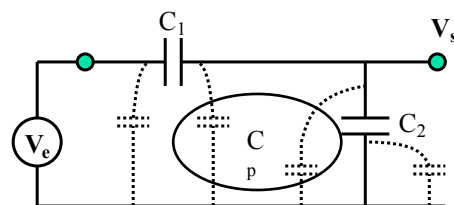


$$\frac{V_s}{V_e} = \frac{C_1}{C_1 + C_2}$$

- Avantages :**
- ➔ La consommation est fortement réduite puisque aucun courant DC ne circule dans le diviseur.
 - ➔ Les comportements DC et AC peuvent être contrôlés indépendamment.

Patricia Desgreys, TELECOM ParisTech 19

Le diviseur capacitif



$$\frac{V_s}{V_e} = \frac{C_1}{C_1 + C_2}$$

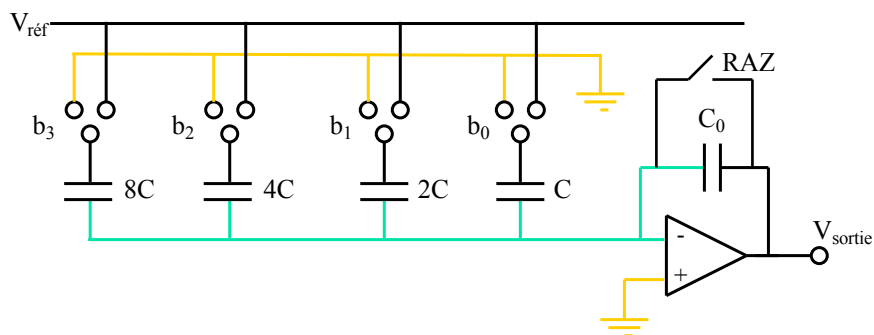
- Avantages :**
- ➔ La consommation est fortement réduite puisque aucun courant DC ne circule dans le diviseur.
 - ➔ Les comportements DC et AC peuvent être contrôlés indépendamment.

Inconvénient : Les diviseurs capacitifs sont fortement sensibles aux capacités parasites

$$\frac{V_s}{V_e} = \frac{C_1}{C_1 + C_2 + C_p}$$

Patricia Desgreys, TELECOM ParisTech 20

Convertisseur à transfert de charges



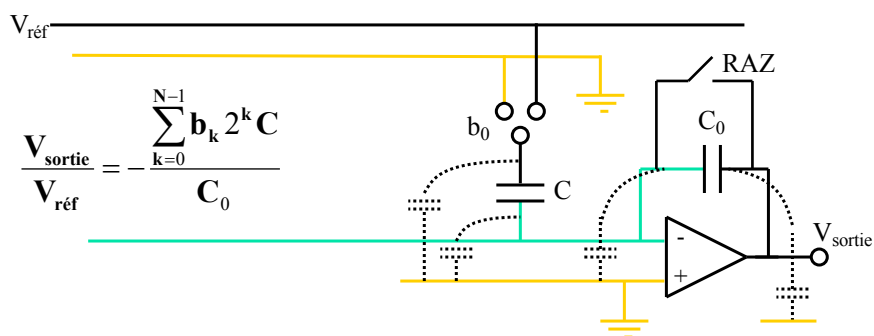
1^{ère} phase : Remise à zéro

2^{ème} phase : Action des bits $b_3b_2b_1b_0$

$$\frac{V_{\text{sortie}}}{V_{\text{réf}}} = - \frac{\sum_{k=0}^{N-1} b_k 2^k C}{C_0}$$

Patricia Desgreys, TELECOM ParisTech 21

Convertisseur à transfert de charges



$$\frac{V_{\text{sortie}}}{V_{\text{réf}}} = - \frac{\sum_{k=0}^{N-1} b_k 2^k C}{C_0}$$

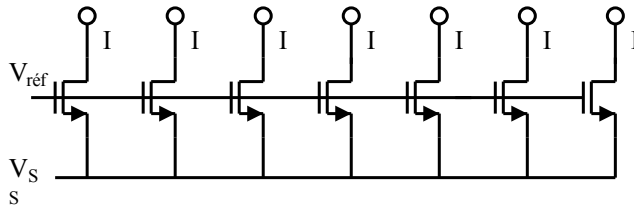
Les capacités parasites n'affectent pas ce convertisseur

La résolution de ce convertisseur peut atteindre 10 bits

Patricia Desgreys, TELECOM ParisTech 22

Réseau à transistors

Une rangée de sources de courants unitaires peuvent jouer le même rôle qu'une rangée de capacités unités.



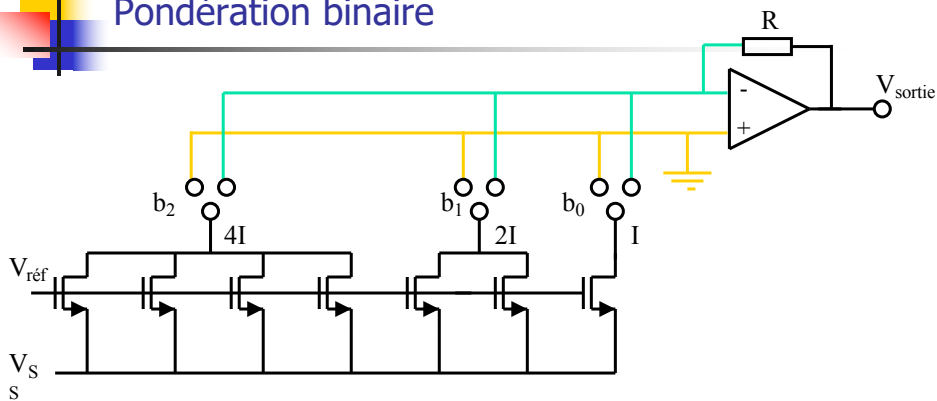
Deux types de combinaisons sont réalisés

- ⎵ Pondération binaire
- ⎵ Codage thermomètre

Les réseaux de transistors utilisent uniquement des transistors identiques. Les défauts d'appariement entre transistors identiques limitent la précision des CNA à réseau à transistors à 10 bits.

Patricia Desgreys, TELECOM ParisTech 23

Pondération binaire



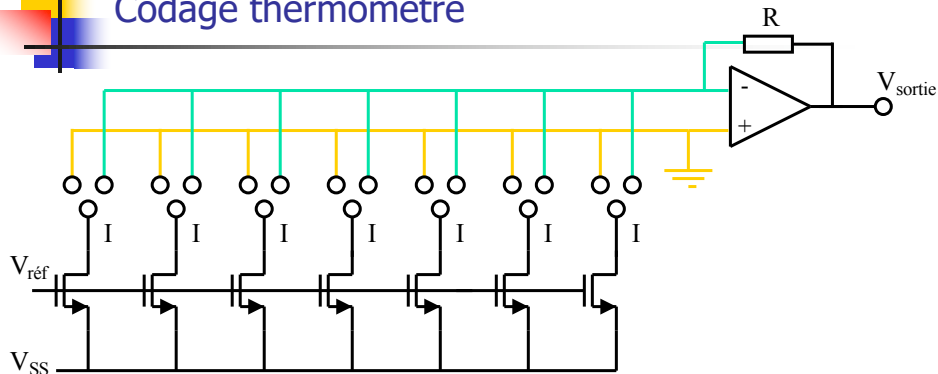
Dans ce cas, les transistors sont regroupés pour obtenir des sources de courants pondérées binaires.

Avantage : commandes simple des interrupteurs.

Inconvénient : risque d'erreur DNL importante.

Patricia Desgreys, TELECOM ParisTech 24

Codage thermomètre



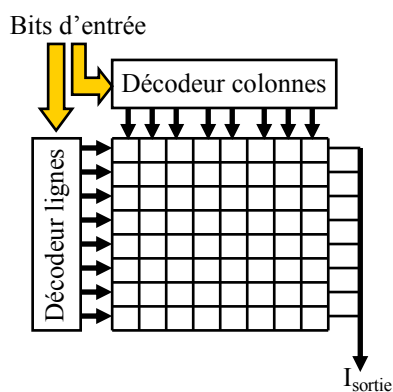
Dans ce second cas, les transistors sont ajoutés en parallèle pour reproduire l'amplitude du mot d'entrée. Les entrées les plus grandes impliquent plus de transistors en parallèle.

Avantages : monotonie garantie et bonnes performances DNL.

Inconvénient : accéder à chaque transistor unité entraîne plus de complexité dans la commande des interrupteurs.

Patricia Desgreys, TELECOM ParisTech 25

Codage thermomètre



Convertisseur organisé comme une mémoire RAM :

Avantages : conception automatique

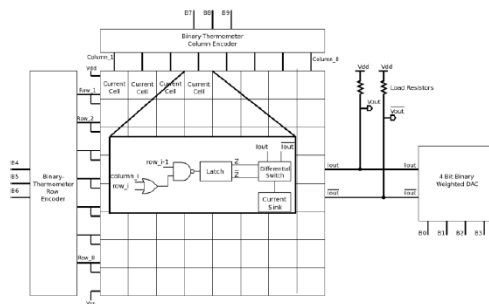
Inconvénient : lourdeur de l'adressage

⊘ Surface occupée trop importante

Pour des performances optimales en résolution et en surface, une bonne solution consiste à combiner les codages thermomètre et binaire.

Patricia Desgreys, TELECOM ParisTech 26

Codage thermomètre partiel



Résolution	10 bits
Technologie	CMOS 90 nm
INL	0,41 LSB
DNL	-0,031 LSB
Tension d'alimentation	1,2 V

10 bit current steering DAC in 90 nm technology, [Aerospace and Electronics Conference, NAECON 2014 - IEEE National](#), Issue Date: [24-27 June 2014](#), Written by: Moody, T.; Saiyu Ren; Ewing, R.

Fréquence du signal d'entrée	Fréquence d'échantillonnage	SFDR
250 MHz	1 GS/s	69 dB

Patricia Desgreys, TELECOM ParisTech 27

Limitations des CNA à réseau pondéré

Les CNA en échelle ne sont pas appropriés au delà de 10 bits car
Les conditions d'appariement sont irréalisables

- imprécision trop importante les résistances dans le réseau R-2R
- nombre d'éléments trop important (croissance exponentielle) pour la conversion basée sur des éléments unitaires identiques

→ Deux techniques pour la conversion NA
parallèle haute résolution :
Division de courant dynamique
Convertisseurs à segments (ou par morceaux)

Patricia Desgreys, TELECOM ParisTech 28

La conversion numérique analogique

Définition

Principales caractéristiques

Test des CNA

CNA parallèles à réseau pondéré

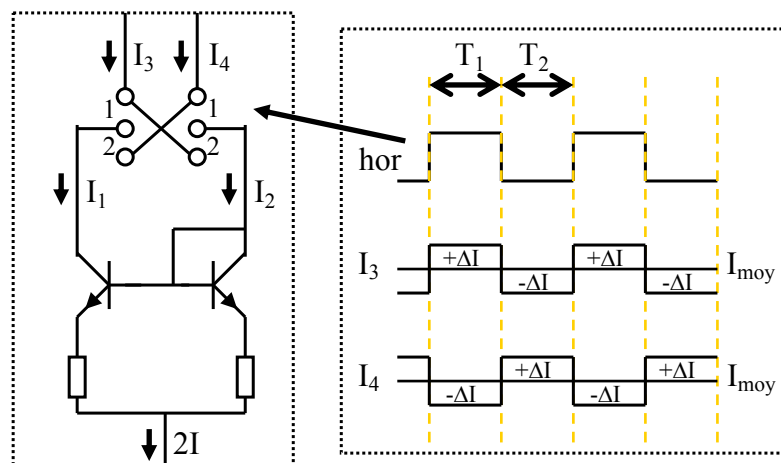
CNA parallèles haute résolution

CNA algorithmiques

Conclusion

Patricia Desgreys, TELECOM ParisTech 29

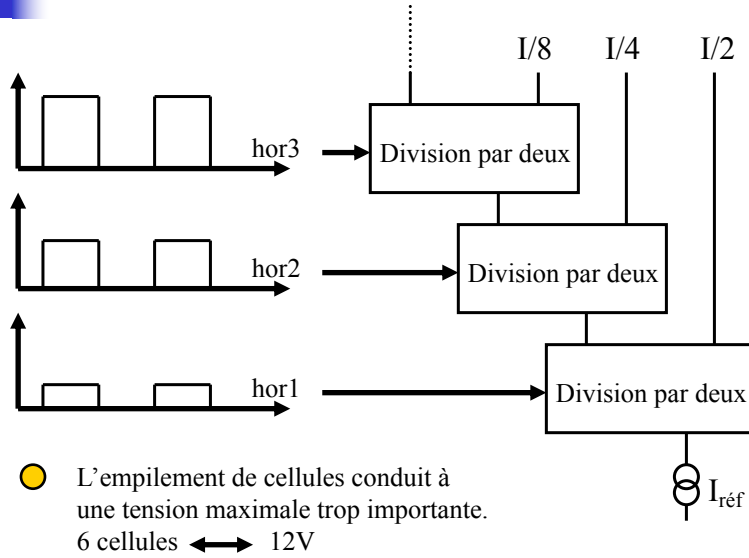
Principe de la division de courant dynamique



Gain d'un facteur 10^3 à 10^4

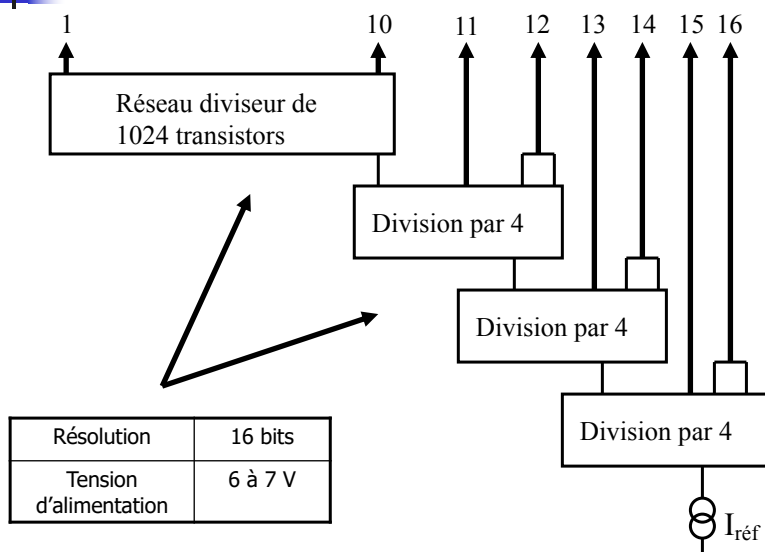
Patricia Desgreys, TELECOM ParisTech 30

1^{er} CNA basé sur la division de courant dynamique

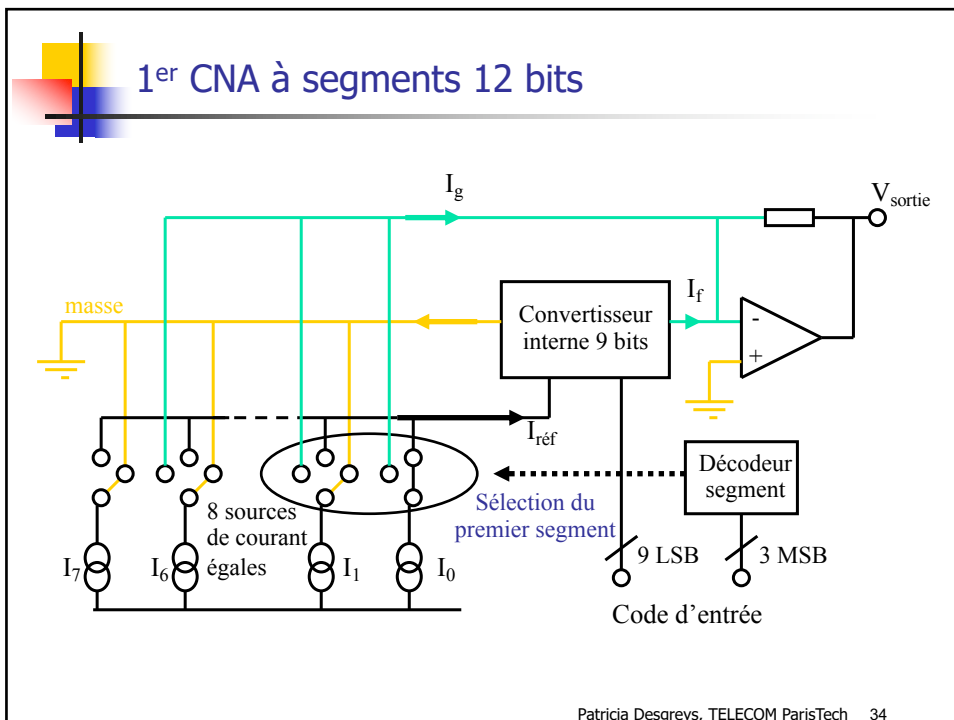
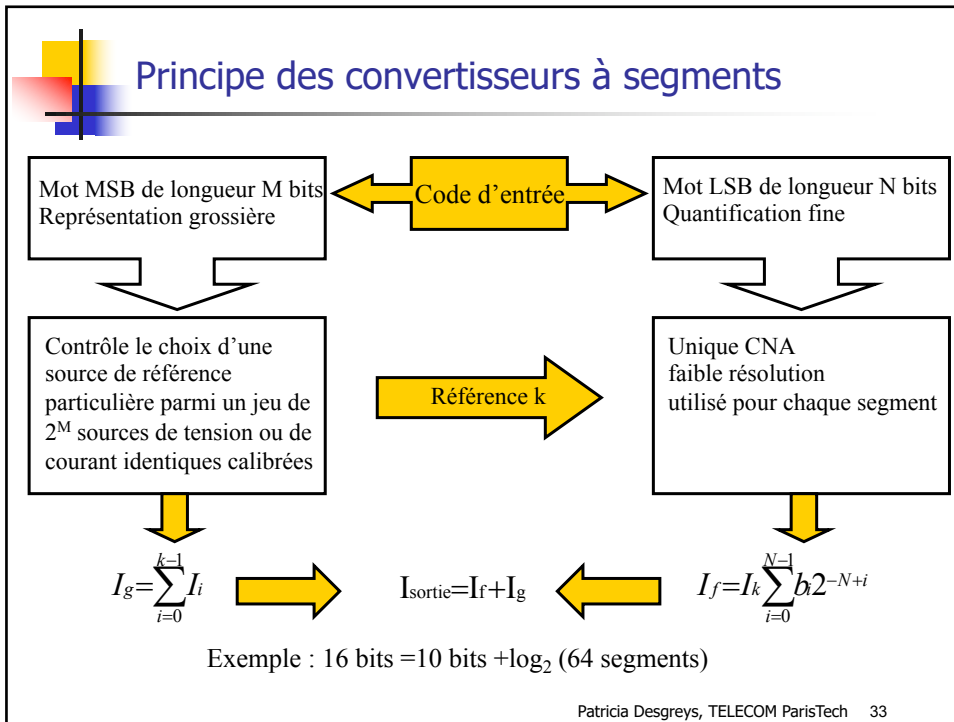


Patricia Desgreys, TELECOM ParisTech 31

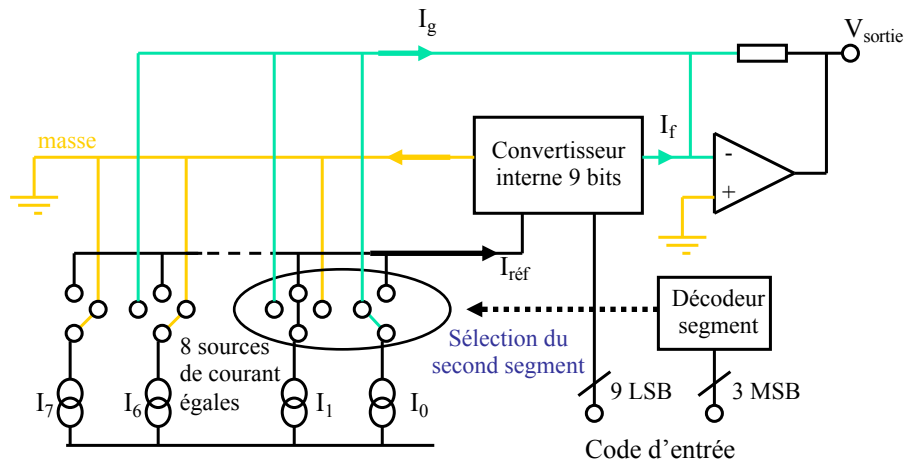
2^{ème} CNA basé sur la division de courant dynamique



Patricia Desgreys, TELECOM ParisTech 32



1^{er} CNA à segments 12 bits



Patricia Desgreys, TELECOM ParisTech 35

Caractéristiques d'un convertisseur à segments

La caractéristique de transfert du convertisseur est le résultat de plusieurs caractéristiques de transfert basse résolution concaténées

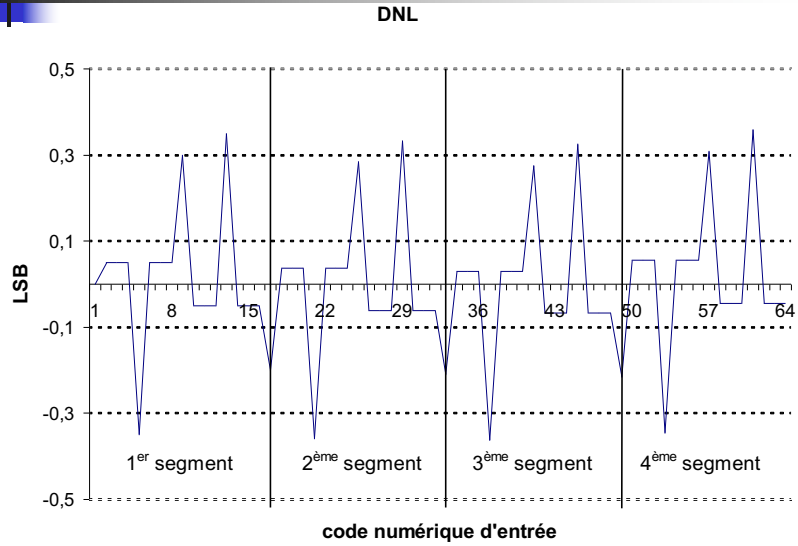
Le passage d'un segment à un autre se traduit par l'ajout de I_k dans I_g et le passage de la valeur I_{k-q} à 0 pour I_f .

➔ Les segments sont parfaitement accolés

En revanche, comme chaque référence contrôle le gain d'un segment, la caractéristique de transfert totale montre en général de petites variations de pente car les courants de référence ne sont pas parfaitement égaux

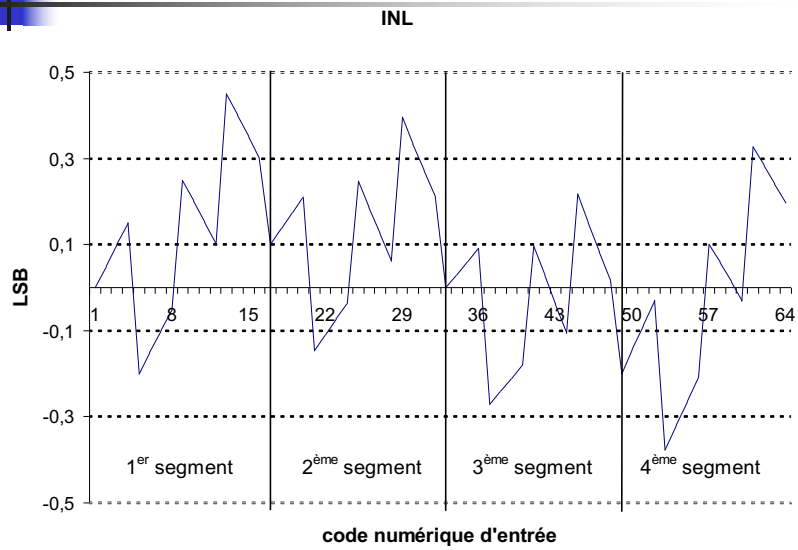
Patricia Desgreys, TELECOM ParisTech 36

Caractéristiques d'un convertisseur à segments



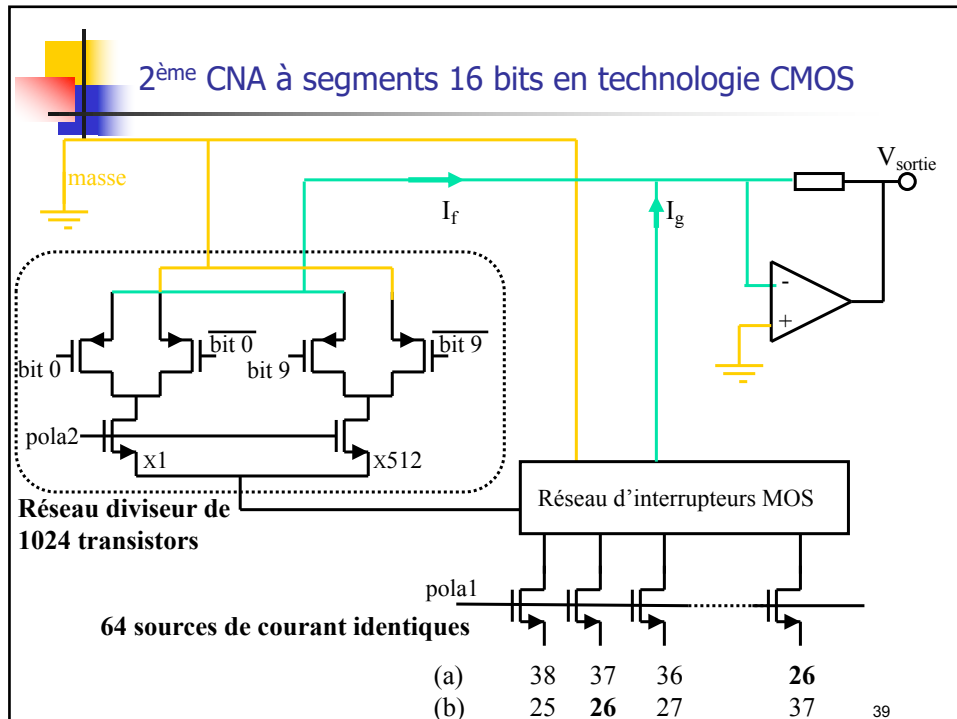
Patricia Desgreys, TELECOM ParisTech 37

Caractéristiques d'un convertisseur à segments

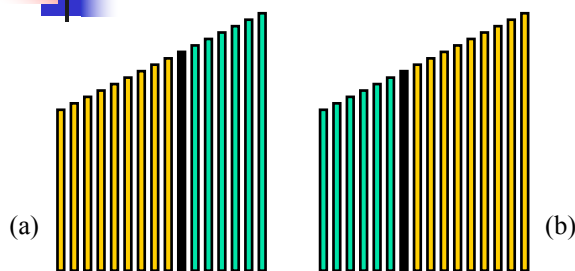


Patricia Desgreys, TELECOM ParisTech 38

2^{ème} CNA à segments 16 bits en technologie CMOS



2^{ème} CNA à segments 16 bits en technologie CMOS



Avantage : les courants moyennés sont insensibles au problème du gradient.

Inconvénient : bande passante du convertisseur réduite

A 1.2 volt, 90nm, 16-bit three way segmented digital to analog converter (DAC) for low power applications, [Quality of Electronic Design, 2009](#), [ISOED 2009, Quality Electronic Design](#), Issue Date: **16-18 March 2009**, Written by: Bh, Maruthi Chandrasekhar; Dasgupta, Sudeb

Resolution	16 bits
Technology	CMOS 90 nm
BW	50 kHz
Power consumption	1,4 mW



La conversion numérique analogique

Définition

Principales caractéristiques

Test des CNA

CNA parallèles à réseau pondéré

CNA parallèles haute résolution

CNA algorithmiques

Conclusion

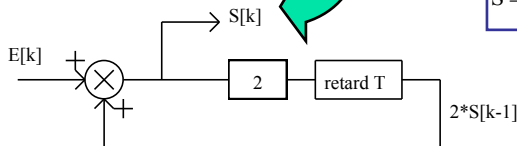


CNA algorithmiques

$$S = q(2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^1b_1 + 2^0b_0)$$

$$S = q(((b_{N-1} * 2 + b_{N-2}) * 2 + b_{N-3} \dots) * 2 + b_0)$$

$$S = 2^N q \left(\left(\left(\left(\frac{b_0}{2} + b_1 \right) / 2 + b_2 \dots \right) / 2 + b_{N-1} \right) / 2 \right)$$

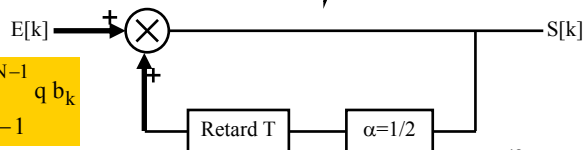


$$E[k] = q b_k$$

$k: N-1 \rightarrow 0$

$$E[k] = 2^{N-1} q b_k$$

$k: 0 \rightarrow N-1$



CNA algorithmiques

Conclusion : trois opérations élémentaires constituent un CNA algorithmique :

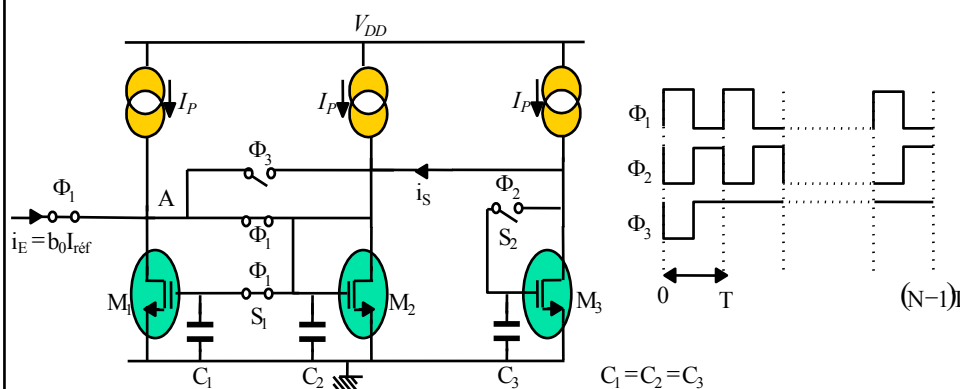
1. Une addition
2. Une multiplication ou une division par deux
3. Un retard d'une période

Avantages : faible surface occupée
faible consommation

Inconvénients : faible vitesse de conversion
précision limitée à 12-14 bits

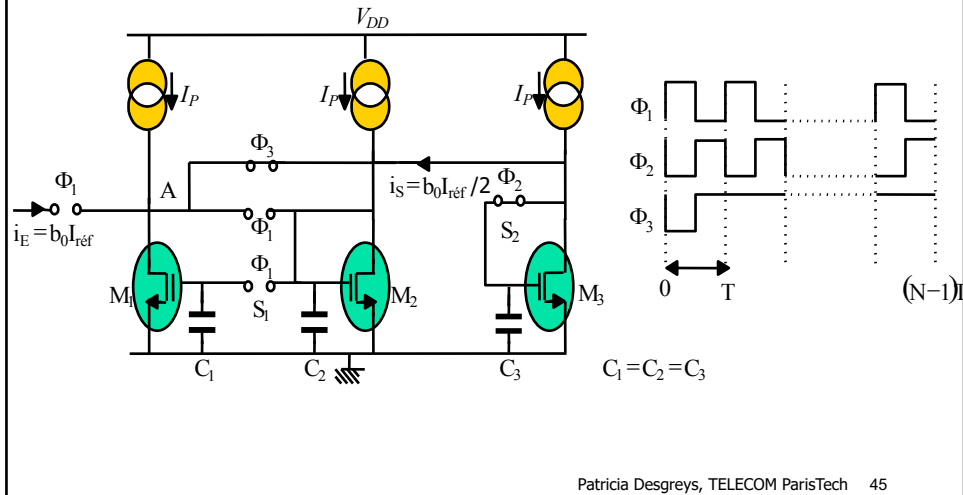
Patricia Desgreys, TELECOM ParisTech 43

Réalisation en Technique des Courants Commutés

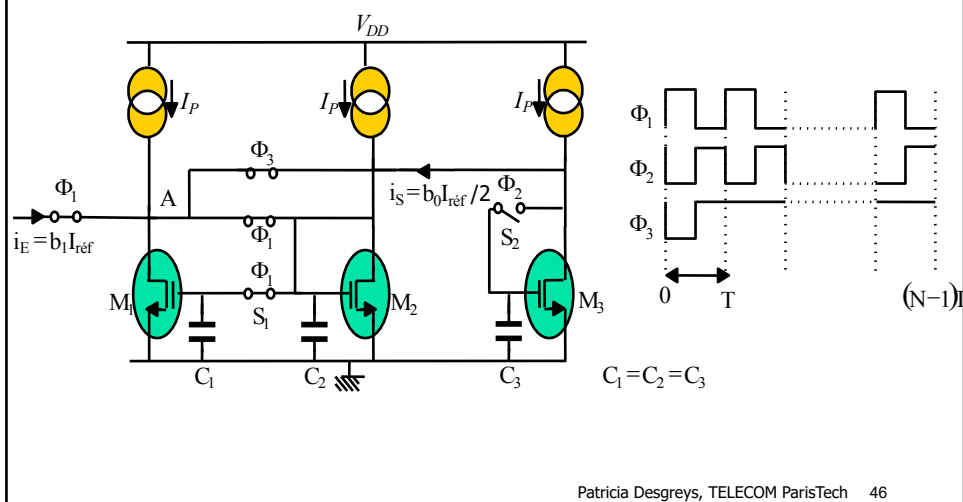


Patricia Desgreys, TELECOM ParisTech 44

Réalisation en Technique des Courants Commutés



Réalisation en Technique des Courants Commutés



Conclusions

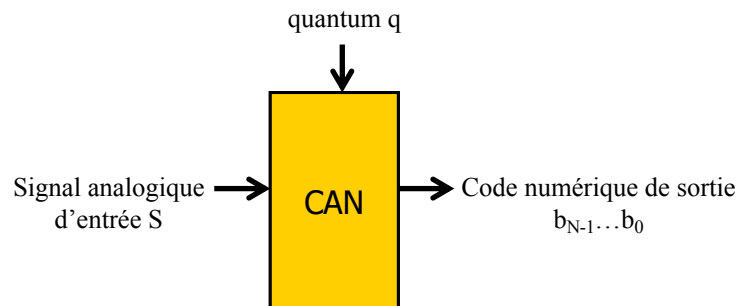
Type de CNA	Performances	avantages	inconvénients
Réseau R-2R (avec des MOS)	8 à 10 bits qq. GHz	Très rapide Faible consommation	Faible résolution
Réseau binaire à commutation de courants	10 à 14 bits qq. GHz	Très rapide	Résolution limitée à 10 sauf méthode de calibration
Réseau thermomètre à commutation de courants	10 bits qq. GHz	Bonne résolution (faible DNL)	Surface occupée importante au delà de 8 bits
Architecture à segments	10 à 16 bits qq. GHz	Très rapide à 10 bits (→10 GHz)	Consommation moyenne
Algorithmique ou cyclique	12 à 14 bits qq. MHz	Faible consommation Faible surface occupée	Faible vitesse de conversion

47

La conversion analogique numérique

- ▣ Définition
 - ▣ Échantillonnage blocage
 - ▣ CAN à approximations successives
 - ▣ CAN algorithmiques
 - ▣ CAN flash
 - ▣ Technique du sur échantillonnage et conversion $\Sigma\Delta$
- ▣ **ADC performance: State-of-the-art**

Définition



$$S = q(2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^1b_1 + 2^0b_0) + e$$

Principales caractéristiques : résolution, précision, erreur d'offset, erreur de gain, INL, DNL...



Nécessité d'un circuit échantillonneur bloqueur

Patricia Desgreys, TELECOM ParisTech 49

Equation caractéristique

$$V_{\text{analogique}} = N \times V_{\text{référence}} + e$$

Code
Tension de référence
Erreur de quantification

$$-\frac{q}{2} \leq e < +\frac{q}{2} \quad q : \text{pas de quantification}$$

N : code numérique sur n bits : $\{b_{n-1}, \dots, b_0\}$

n : résolution du convertisseur

$$q = \frac{V_{\text{référence}}}{2^n}$$

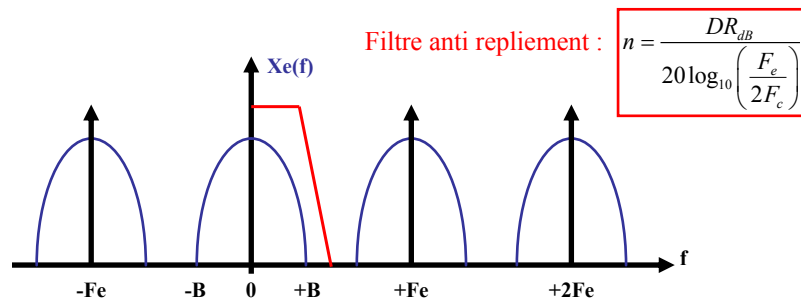
$$N = \frac{b_{n-1}}{2} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_0}{2^n}$$

Patricia Desgreys, TELECOM ParisTech 50

Échantillonnage

$$x_e(t) = x(t) \sum_{n=-\infty}^{n=+\infty} \delta(t - nT_e) = \sum_{n=-\infty}^{n=+\infty} x(nT_e) \delta(t - nT_e)$$

$$X_e(f) = \frac{1}{T_e} X(f) * \sum_{n=-\infty}^{n=+\infty} \delta(f - nF_e) = \frac{1}{T_e} \sum_{n=-\infty}^{n=+\infty} X(f - nF_e)$$

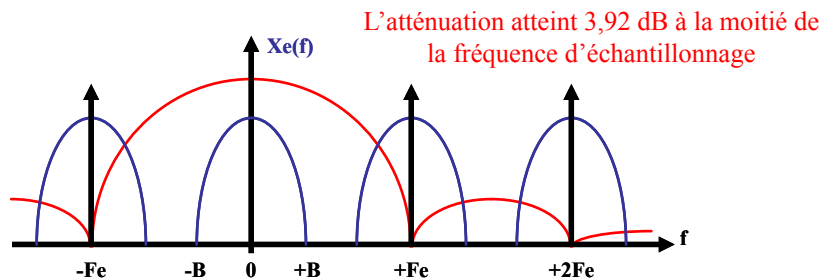


Patricia Desgreys, TELECOM ParisTech 51

Blocage

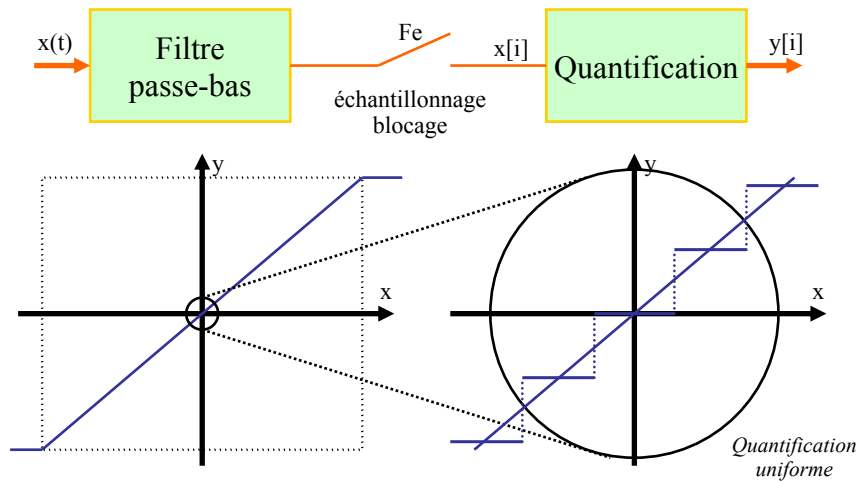
$$x_b(t) = x_e(nT_e) * [u(t) - u(t - T_e)]$$

$$|X_b(f)| = |X_e(f)| \frac{\text{sinc}(\pi f / F_e)}{F_e}$$



Patricia Desgreys, TELECOM ParisTech 52

Conversion « type Nyquist »



Patricia Desgreys, TELECOM ParisTech 53

La conversion analogique numérique

Définition

Échantillonnage blocage

CAN à approximations successives

CAN algorithmiques

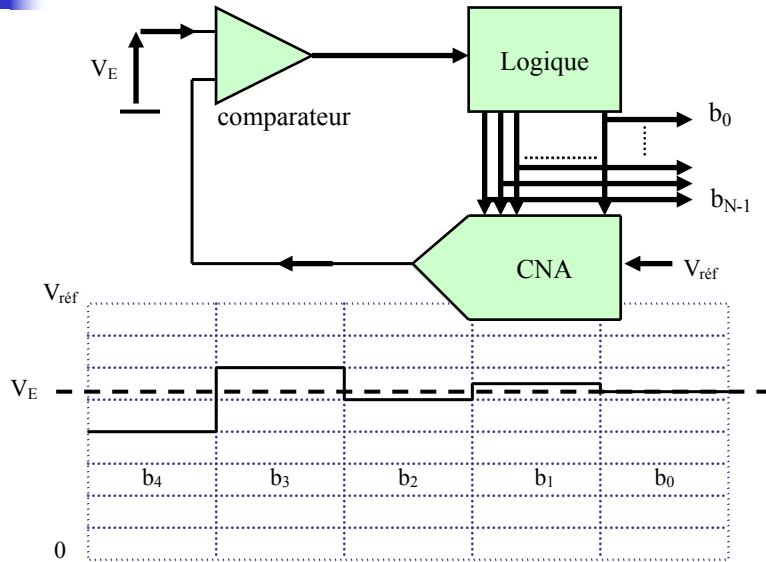
CAN flash

Technique du sur échantillonnage et conversion $\Sigma\Delta$

 **ADC performance: State-of-the-art**

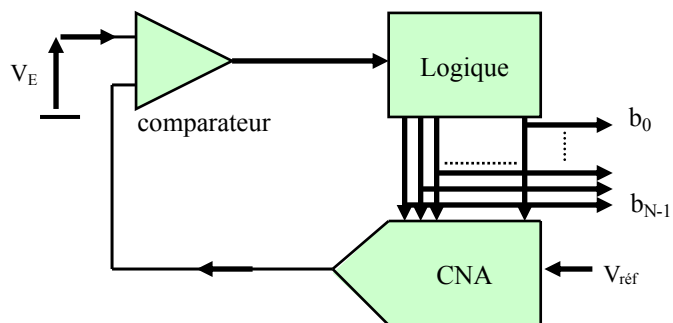
Patricia Desgreys, TELECOM ParisTech 54

CAN à approximations successives



Patricia Desgreys, TELECOM ParisTech 55

CAN à approximations successives



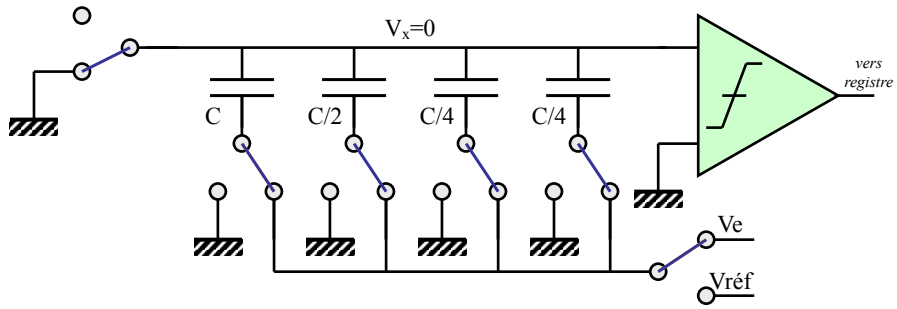
Inconvénient : convertisseurs lents

Avantages : bonnes performances
Faible consommation
prix peu élevé

Patricia Desgreys, TELECOM ParisTech 56

CAN à redistribution de charges

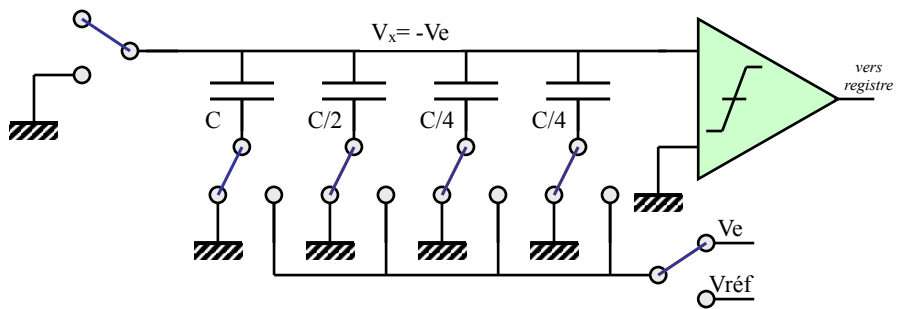
1. Mode échantillonnage



Patricia Desgreys, TELECOM ParisTech 57

CAN à redistribution de charges

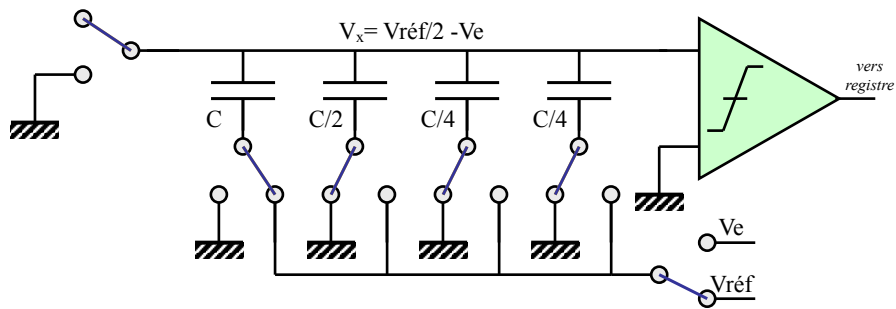
2. Mode maintien



Patricia Desgreys, TELECOM ParisTech 58

CAN à redistribution de charges

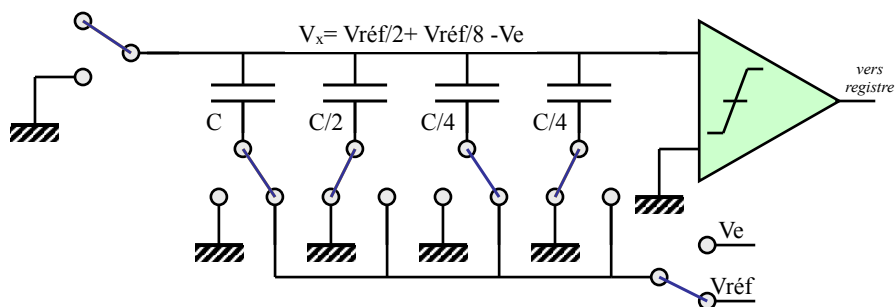
3. Test MSB vers LSB



Patricia Desgreys, TELECOM ParisTech 59

CAN à redistribution de charges

A la fin, V_x est plus petite qu'un LSB



- ➔ Convertisseur insensible aux capacités parasites
- ➔ La charge $2CV_e$ initialement distribuée sur toutes les capacités a été 'redistribuée' sur les seules capacités reliées à $V_{r\acute{e}f}$.

Patricia Desgreys, TELECOM ParisTech 60

CAN algorithmique

$R_1=5.25$	$R_2=2.5$	$R_3=-3$	$R_4=2$	$R_5=-4$
$b_1=1$	$b_2=1$	$b_3=-1$	$b_4=1$	$b_5=-1$

$$V_E = \left(\sum_{i=1}^N b_i \cdot 2^{-i} \right) V_{\text{réf}} \quad \text{où } b_i \text{ est égal à } \pm 1$$

si $R_i \geq 0$
 $b_i = 1$

sinon $b_i = -1$

fin

$R_1 = V_E$

$R_{i+1} = 2 R_i - b_i V_{\text{réf}}$

$$R_{i+1} = 2^i \left[R_1 - \sum_{j=1}^i (2^{-j} b_j) V_{\text{réf}} \right]$$

$$\lim_{i \rightarrow \infty} \left\{ \sum_{j=1}^i (2^{-j} b_j) \right\} = \frac{R_1}{V_{\text{réf}}}$$

Patricia Desgreys, TELECOM ParisTech 61

CAN algorithmique

Avantages : faible consommation
faible surface occupée

Inconvénient : faible vitesse de conversion

Résolution : 13 à 14 bits

si $R_i \geq 0$
 $b_i = 1$

sinon $b_i = -1$

fin

$R_1 = V_E$

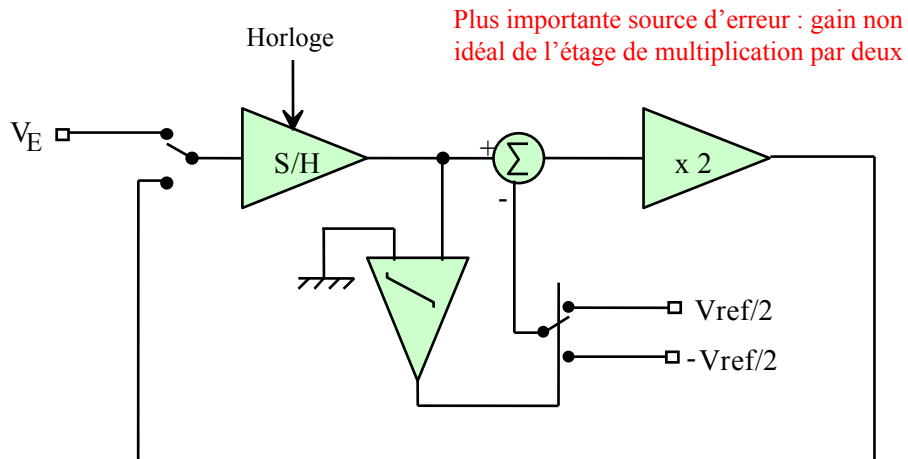
$R_{i+1} = 2 R_i - b_i V_{\text{réf}}$

$$R_{i+1} = 2^i \left[R_1 - \sum_{j=1}^i (2^{-j} b_j) V_{\text{réf}} \right]$$

$$\lim_{i \rightarrow \infty} \left\{ \sum_{j=1}^i (2^{-j} b_j) \right\} = \frac{R_1}{V_{\text{réf}}}$$

Patricia Desgreys, TELECOM ParisTech 62

CAN algorithmique



Patricia Desgreys, TELECOM ParisTech 63

La conversion analogique numérique

Définition

Échantillonnage blocage

CAN à approximations successives

CAN algorithmiques

 **CAN flash**

Technique du sur échantillonnage et conversion $\Sigma\Delta$

 **ADC performance: State-of-the-art**

Patricia Desgreys, TELECOM ParisTech 64

Conversion AN rapide

Fréquences d'échantillonnage recherchées : qq. MS/s à qq. **100 MS/s**

Applications : télécommunications, vidéo, imagerie médicale, radars, analyseurs de réseaux.

→ nécessité d'une conversion parallèle en un seul cycle d'horloge

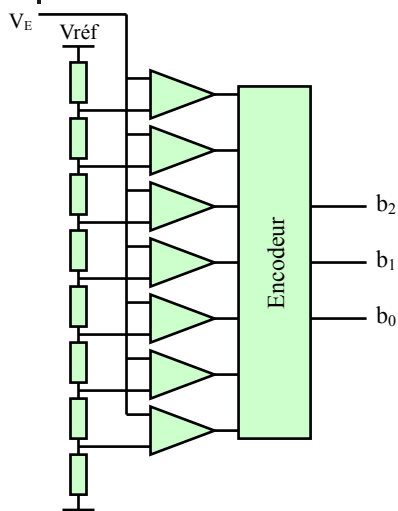
→ équivalent AN des CNA à réseau codé thermomètre

Les seuls convertisseurs qui fonctionnent vraiment en un cycle d'horloge sont **les convertisseurs flash**.

D'autres convertisseurs (convertisseurs semi-flash, convertisseurs pipeline) combinent des convertisseurs flash faible résolution et des architectures algorithmiques pour diminuer la consommation au prix de 2 ou 3 cycles d'horloges.

Patricia Desgreys, TELECOM ParisTech 65

CAN flash

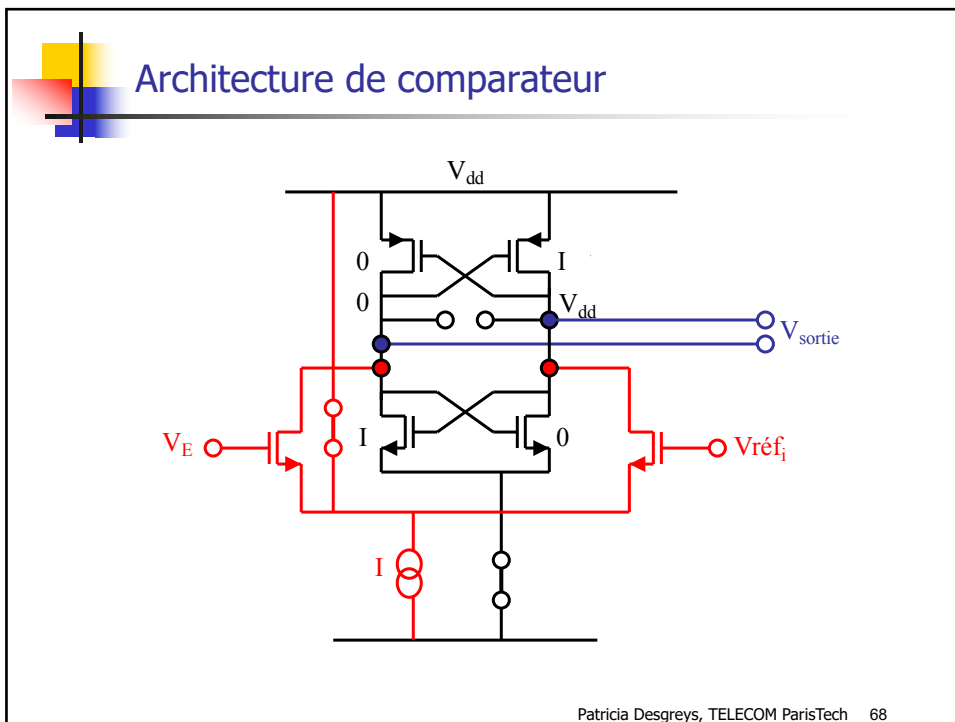
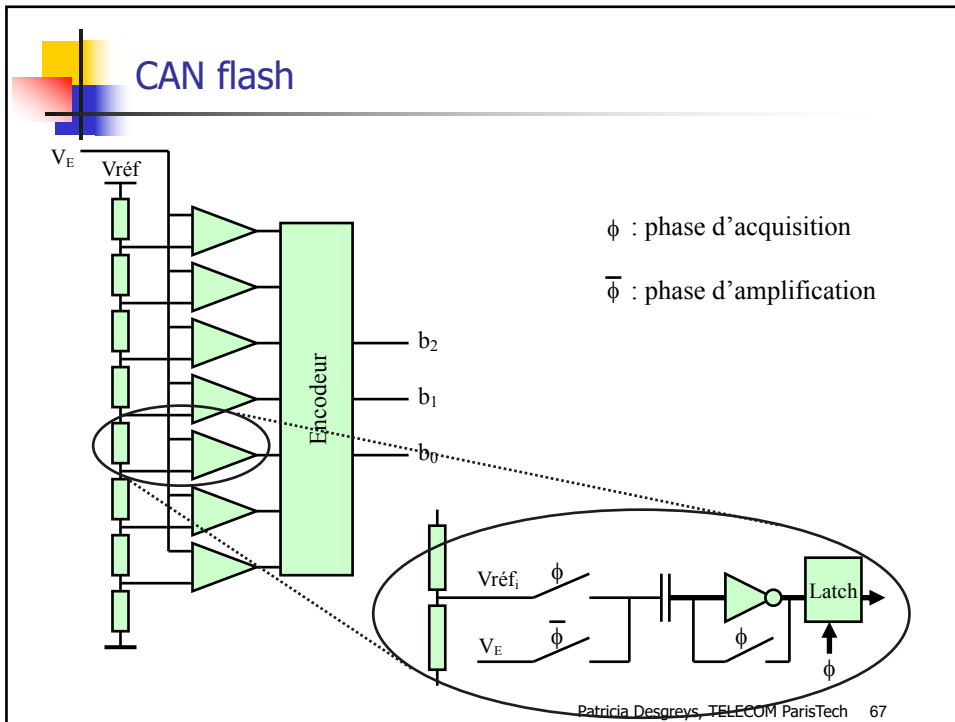


Avantage : pas d'échantillonneur bloqueur
→ plus de rapidité.

Inconvénient : un banc de comparateurs
→ consommation et distorsion non linéaire.

Puisque la capacité d'entrée très élevée (qq. 10 pF) des comparateurs est couplée à l'impédance du générateur d'entrée et que la fréquence du signal d'entrée est élevée, des courants importants circulent dans les terminaux d'entrée des comparateurs.

Patricia Desgreys, TELECOM ParisTech 66





Impact des non-idéalités du comparateur

Imperfection statique : les offsets des bascules sont assez importants (50 mV) et divisé par le gain de la paire différentielle, l'**erreur d'offset** s'étale entre 5 et 20 mV en entrée.

- ⇒ Ceci se traduit par une erreur DNL importante, définit la plus petite discrimination et limite donc la résolution (6 ou 7 bits).
- ⇒ Un contrôle approprié des offsets des différentes paires différentielles permet d'atteindre une résolution de 10 bits.

Imperfections dynamiques :

- ⇒ L'amplificateur différentiel fonctionne en linéaire et en non linéaire. Sa bande passante est limitée. Un **retard** très variable et dépendant du signal est donc observé
- ⇒ L'état logique précédant une nouvelle comparaison influe sur l'entrée, créant une erreur d'hystérésis ou offset dynamique ou **bruit de kick back** (contrecoup).

Patricia Desgreys, TELECOM ParisTech 69



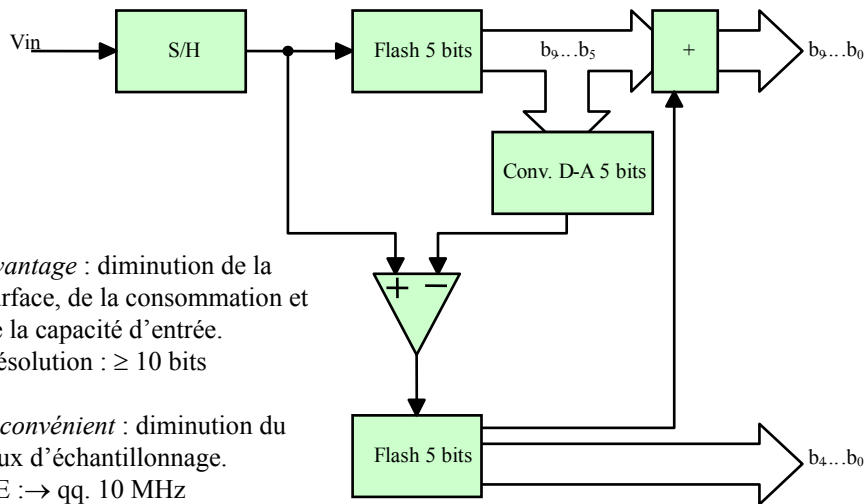
Autres sources de distorsion non linéaire

- ⇒ L'**échelle de références** définit également la plus petite discrimination et limite donc la résolution. Le polysilicium présente une résistance de qq. $10 \Omega/\square$ mais la reproductibilité n'est pas très satisfaisante. L'impact est direct sur l'erreur INL mais l'erreur DNL est négligeable et aucune erreur de monotonie n'est engendrée. Résolution max. : 8 bits (ou 10 bits si ajustement laser)

- ⇒ Jitter d'horloge
Bruit des comparateurs
Layout } décalages de phase aléatoires ou dépendants de la position

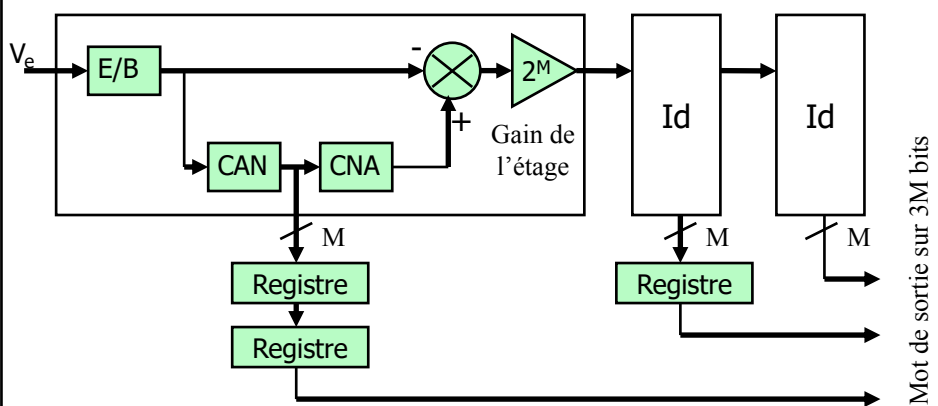
Patricia Desgreys, TELECOM ParisTech 70

CAN semi-flash



Patricia Desgreys, TELECOM ParisTech 71

Architecture Pipeline



Patricia Desgreys, TELECOM ParisTech 72

Architectures à résolution limitée

Type de CAN	Performances	avantages	inconvénients
Approximations successives	10 à 12 bits qq. MHz	Faible coût	Faible vitesse de conversion
Algorithmique ou cyclique	12 à 14 bits qq. MHz	Faible consommation Faible surface occupée	Faible vitesse de conversion
Flash	8 à 10 bits qq. GHz	Très rapide	Forte consommation
Semi-flash	12 à 14 bits qq. 100 MHz	Consommation, surface occupée et vitesse de conversion moyennes	
Pipeline	14 à 16 bits qq. 100 MHz	Bonne résolution, Faible consommation pour 10 bits	

Pour tous ces types de convertisseurs, la précision est limitée par la dispersion sur les composants. Avec une technologie CMOS standard, la dispersion sur les capacités ou résistances intégrées limitent la précision à 10-12 bits (+2 si ajustement laser). ⁷³

La conversion analogique numérique

Définition

Échantillonnage blocage

CAN à approximations successives

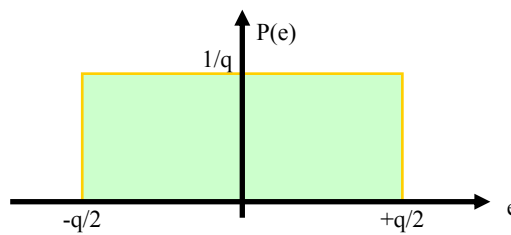
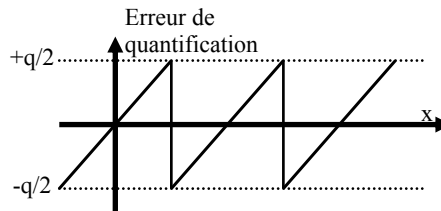
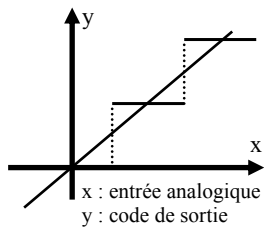
CAN algorithmiques

CAN flash

 **Technique du sur échantillonnage et conversion $\Sigma\Delta$**

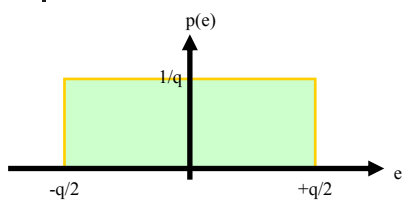
 **ADC performance: State-of-the-art**

Erreur de quantification



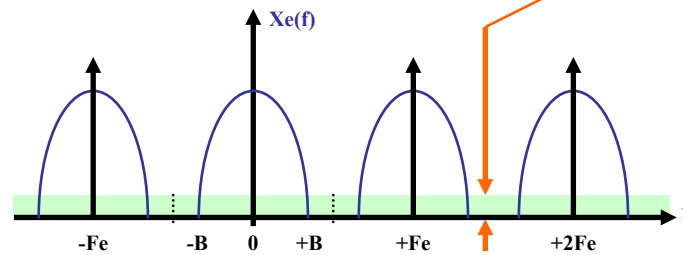
Patricia Desgreys, TELECOM ParisTech 75

Bruit de quantification



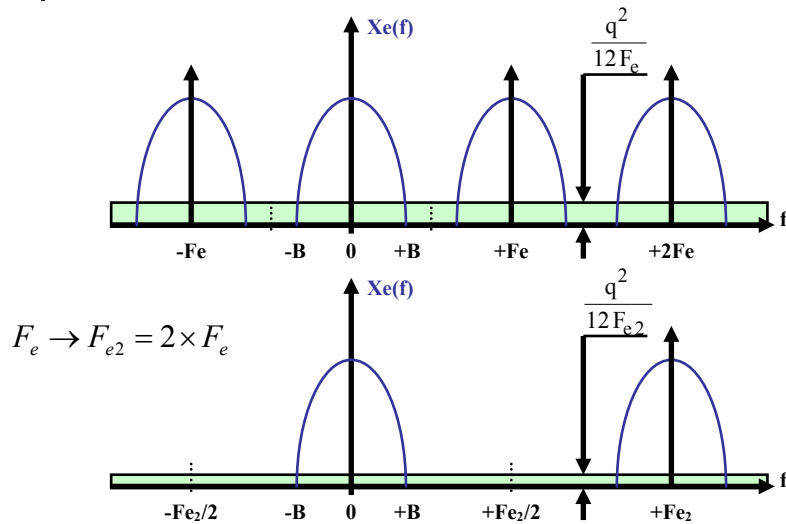
$$\sigma_e^2 = \frac{1}{q} \int_{-q/2}^{+q/2} e^2 de = \frac{q^2}{12} = P_e$$

$$P_e = \int_{-F_e/2}^{+F_e/2} dsp_e df \quad \text{d}sp_e = \frac{q^2}{12 F_e}$$



Patricia Desgreys, TELECOM ParisTech 76

Effet du sur-échantillonnage



Patricia Desgreys, TELECOM ParisTech 77

Rapport signal/bruit (1)

Signal sinusoïdal : $x(t) = a \cdot \sin(2\pi f_s t)$ $P_x = \frac{a^2}{2}$

$$P_e \text{ bande utile} = \int_{-F_s}^{+F_s} \text{dsp}_e \, df = \frac{q^2}{12 F_e} \cdot 2 F_s^{\text{Nyquist}} = \frac{q^2}{12 \text{OSR}}$$

$$q = \frac{2 \cdot a_0}{2^n - 1}$$

$$SNR = 10 \log \left(\frac{P_x}{P_{e.b.u.}} \right) = 10 \log \frac{3}{2} + 20 \log \frac{a}{a_0} + 20 \log (2^n - 1) + 10 \log \text{OSR}$$

Patricia Desgreys, TELECOM ParisTech 78

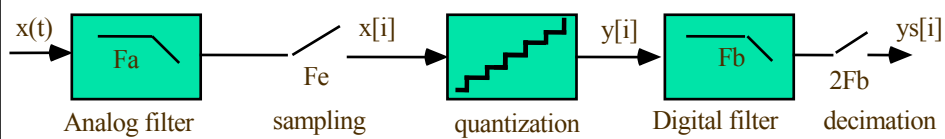
Rapport signal/bruit (2)

Hypothèses : $a = a_0$
 $OSR = 2^L$
n tel que $2^n \gg 1$

$$SNR_{(dB)} = 10 \log \left(\frac{P_x}{P_{eb.u.}} \right) \approx 1,76 + 6,02 \cdot n + 3,01 \cdot L$$

Il faut quadrupler la fréquence d'échantillonnage pour gagner l'équivalent d'un bit de quantification.

Oversampling ADC



Technology evolution



+ speed
 + density
 - Dynamic (3V, 16 bits → 45 μ V)

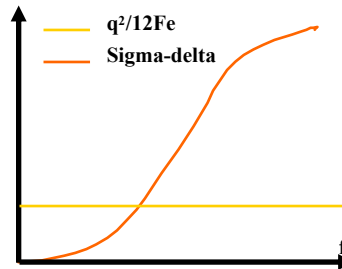
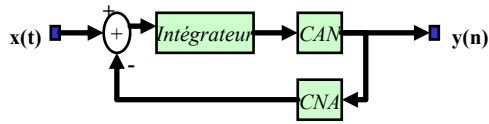
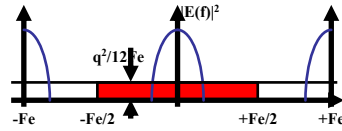
Oversampling



Exchange :
 Amplitude resolution
 ↓
 Digital complexity and resolution in time

CAN à modulation Sigma-Delta

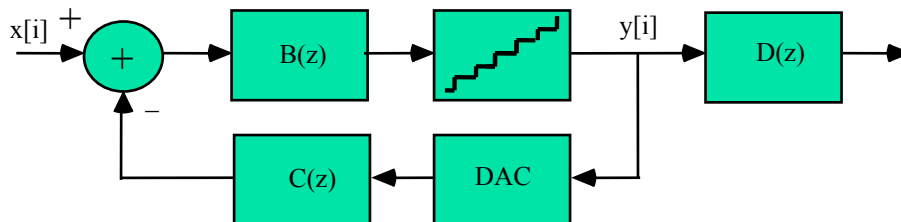
- Technique à sur-échantillonnage
 - $SNR_{dB} = 6,02 N + 1,76 + 10 \log M$
 - avec $M = F_e / 2F_s$ le taux de sur-échantillonnage.
- Modulation sigma-delta
 - séparation spectrale du signal et du bruit



- Filtrage numérique passe-bas ou décimateur

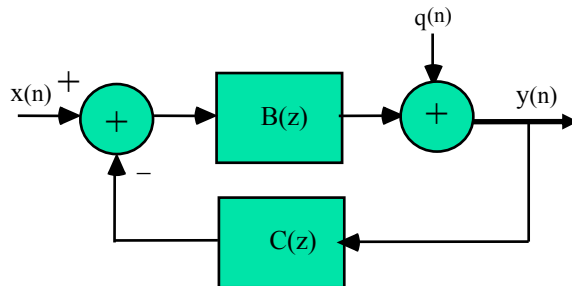
Patricia Desgreys, TELECOM ParisTech 81

ADC with feedback



Patricia Desgreys, TELECOM ParisTech 82

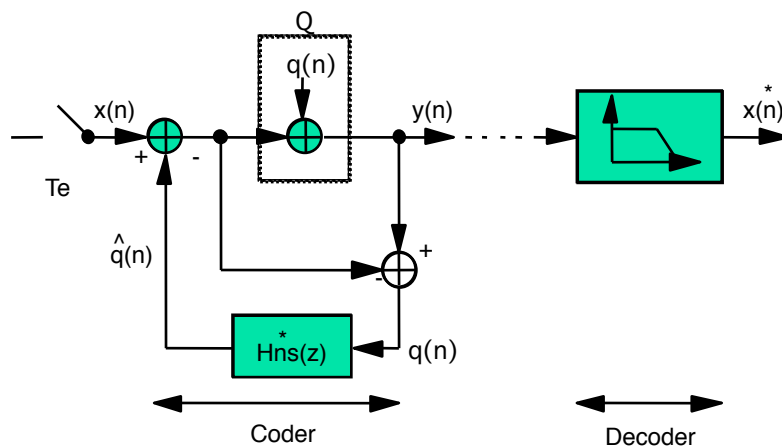
$\Sigma\Delta$ modulator linear model



$$Y(z) = \frac{B(z)}{1 + B(z) \cdot C(z)} X(z) + \frac{1}{1 + B(z)C(z)} Q(z)$$

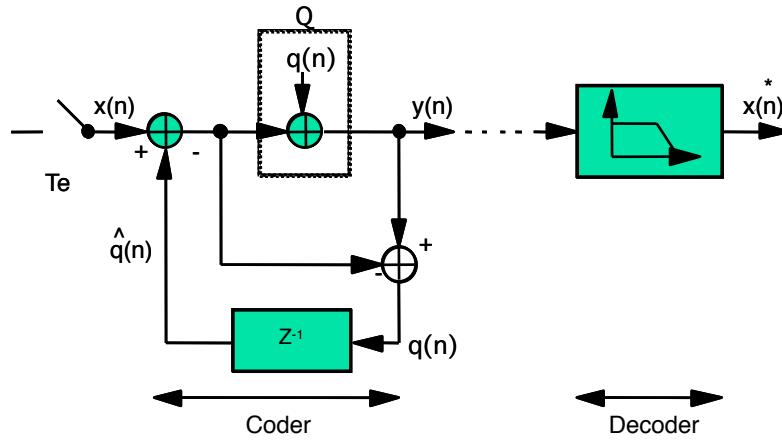
Patricia Desgreys, TELECOM ParisTech 83

Coder model



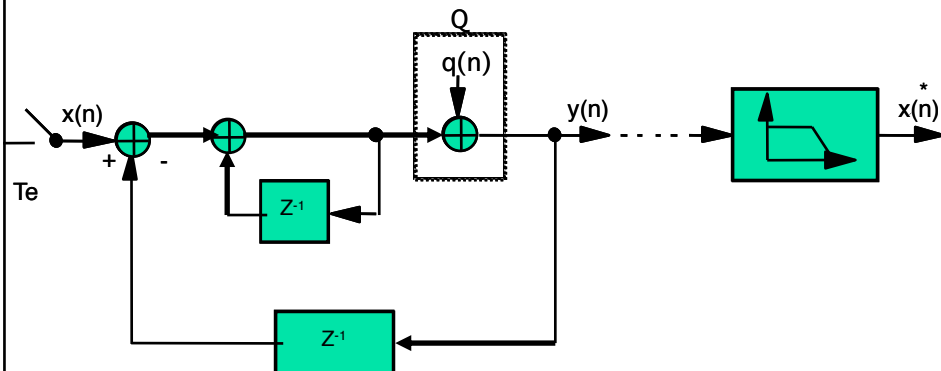
Patricia Desgreys, TELECOM ParisTech 84

Theoretical $\Sigma\Delta$ modulator, order 1



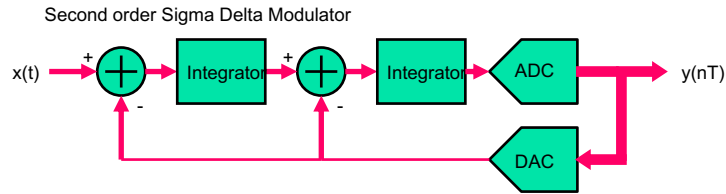
Patricia Desgreys, TELECOM ParisTech 85

Real $\Sigma\Delta$ modulator, order 1



Patricia Desgreys, TELECOM ParisTech 86

Generalization to any order



$$Y(z) = z^{-1} \cdot S(z) + z^{-1} \cdot (1 - z^{-1})^2 \cdot E(z)$$

$$DSP_Q(f) = DSP_E(f) \cdot 16 \cdot \sin^4\left(\pi \frac{f}{f_e}\right)$$

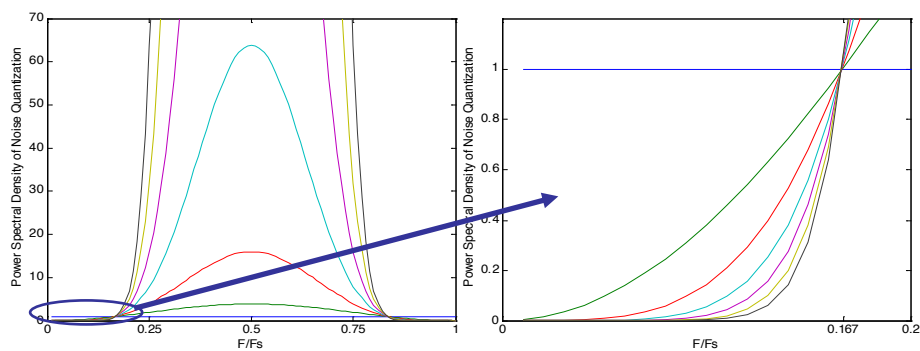
□ **N order :**

$$Y(z) = z^{-1} \cdot S(z) + z^{-1} \cdot (1 - z^{-1})^N \cdot E(z)$$

$$DSP_Q(f) = DSP_E(f) \cdot 2^{2 \cdot N} \cdot \sin^{2 \cdot N}\left(\pi \frac{f}{f_e}\right)$$

Patricia Desgreys, TELECOM ParisTech 87

Noise shaping effect



$$DSP_Q(f) = DSP_E(f) \cdot 2^{2 \cdot N} \cdot \sin^{2 \cdot N}\left(\pi \frac{f}{f_e}\right)$$

Patricia Desgreys, TELECOM ParisTech 88

Signal Noise Ratio of the $\Sigma\Delta$ modulator

$$SNR = \frac{P_{signal}}{P_{bruit}} \rightarrow P_{signal} = \frac{S_{max}^2}{2} \quad OSR = \frac{f_e}{2f_s} = 2^L$$

$$P_Q = \frac{\Delta^2}{12} \cdot \frac{\pi^{2 \cdot N}}{2 \cdot N + 1} \cdot OSR^{-(2 \cdot N + 1)}$$

$$SNR = SNR_{quantiser} + \Delta SNR \quad \Delta = \frac{2 \cdot ref}{2^n - 1}$$

$$\Delta SNR = 10 \cdot \log(2 \cdot N + 1) - N \cdot 20 \cdot \log \pi + L \cdot N \cdot 20 \cdot \log 2$$

$$SNR_{quantiser} = 10 \cdot \log \frac{3}{2} + 20 \cdot \log \frac{S_{max}}{ref} + 20 \cdot \log(2^n - 1) + L \cdot 10 \cdot \log 2$$

Patricia Desgreys, TELECOM ParisTech 89

Quantization noise and oversampling effects

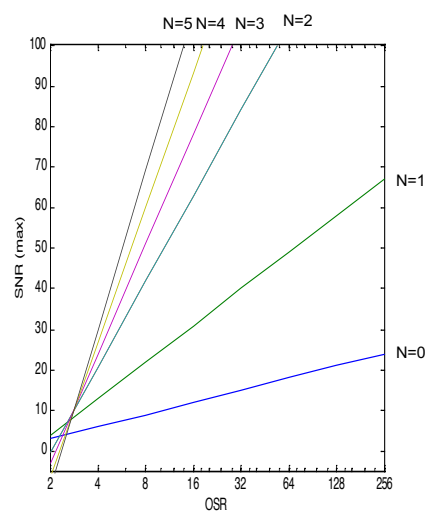
Only oversampling effect

- $N=0; L=\log_2 OSR$
 - +3.01dB/octave of F_s

Oversampling and Noise Shaping effects

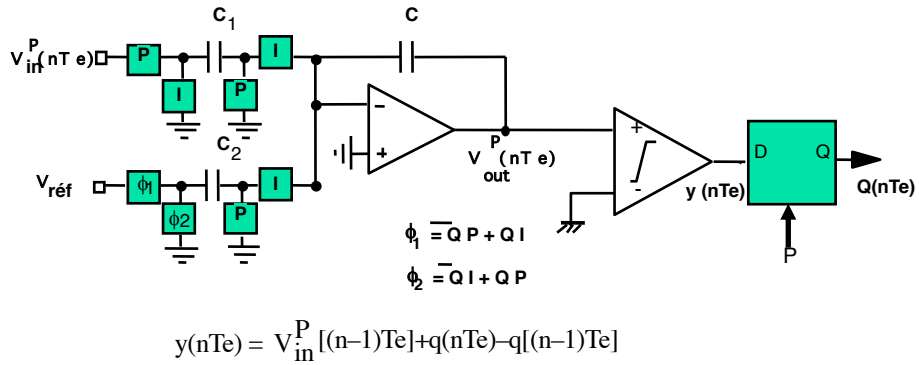
- $N=1$
 - +9.03dB/octave of F_s
- $N=2$
 - +15.05dB/octave of F_s
- $N=3$
 - +21.07dB/octave of F_s
- $N=4$
 - +27.09dB/octave of F_s

$$S_{max} = ref, n = 1$$



Patricia Desgreys, TELECOM ParisTech 90

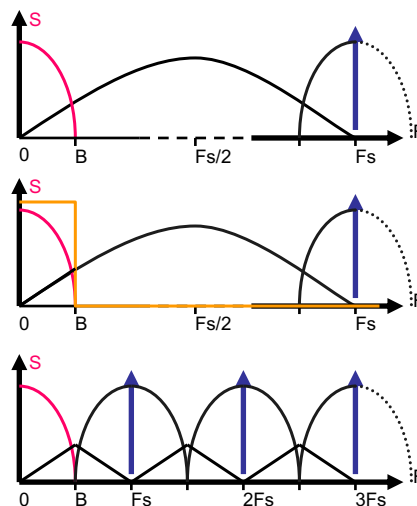
Switched capacitors $\Sigma\Delta$ modulator



Patricia Desgreys, TELECOM ParisTech 91

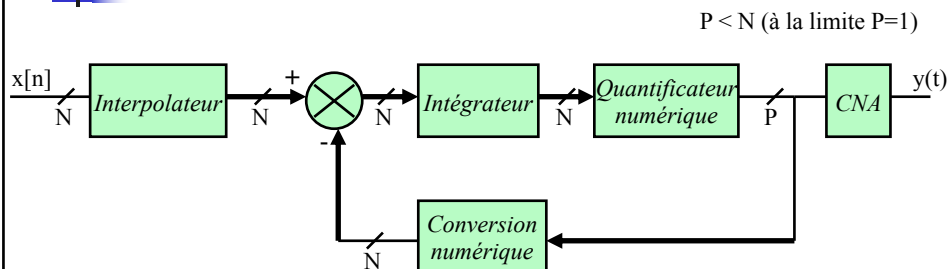
Decimation and digital filter

- **Filter**
 - Delete any signal and noise out of band
- **Decimation**
 - Reduce the sampling rate to $F_s = 2 \times B$



Patricia Desgreys, TELECOM ParisTech 92

CNA à modulation Sigma-Delta



+ Filtrage analogique passe-bas de $y(t)$

Les convertisseurs Sigma-Delta sont une alternative attractive pour la haute résolution (16 bits). Ils pallient la perte de précision inhérente aux circuits analogiques réalisés en technologies numériques grâce à un traitement du signal plus rapide et à plus de circuits numériques. Donc, ils capitalisent la vitesse des circuits analogiques et la précision des circuits numériques.

Inconvénient : le sur échantillonnage limite la bande du signal d'entrée (qq. MHz)

Patricia Desgreys, TELECOM ParisTech 93

La conversion analogique numérique

Définition

Échantillonnage blocage

CAN à approximations successives

CAN algorithmiques

CAN flash

Technique du sur échantillonnage et conversion $\Sigma\Delta$

□ **ADC performance: State-of-the-art**

Patricia Desgreys, TELECOM ParisTech 94



Performance parameters

■ Speed :

- Nyquist sampling rate : F_N
 - Bandwidth : BW
 - Over Sampling Ratio : OSR
- $$F_N = 2BW$$
- $$OSR = \frac{F_s}{2BW}$$

■ Accuracy :

- Stated resolution : N
 - Signal to Noise and Distortion Ratio : $SNDR$
 - Effective number of bits : $ENOB$
 - Spurious Free Dynamic Range : $SFDR$
- $$ENOB = \frac{SNDR - 1.76}{6.02}$$


■ Power :

- Power consumption : P_{diss}
 - Figure of Merit : FoM
- $$FoM = \frac{P_{diss}}{2^{ENOB} \cdot 2BW} \text{ [pJ/step]}$$

95



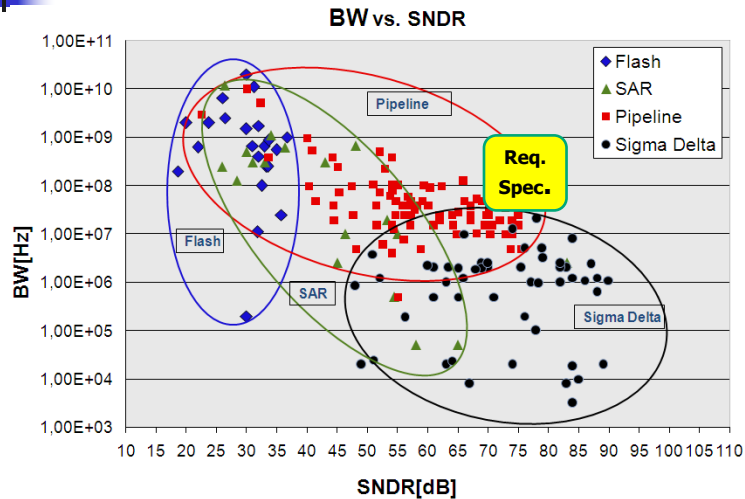
Required specifications on the ADC

 Analog-to-digital converters are key blocks in modern communication systems.

- 70 to 80 dB of SNR
- more than 50dB of SFDR
- 100 MHz -1 GHz of Bandwidth
- 0.1 pJ by conversion step

96

Bandwidth versus SNDR overview



97

Conclusion : Promising Techniques

- For future 5G radio requirements :
 - $\Delta\Sigma$ converters and CT implementations
 - Pipeline converters
- Parallel implementation and increasing use of calibration and digital correction
- For multi-channel cable receiver :
 - TI SAR converters
- An attractive solution:
 - CT BP $\Delta\Sigma$ converters and Parallelism

98