



Systemes de communication sans fil (bande de base)

2A Filière TELECOM - Année Scolaire 2018-2019(S1)

Contrôle de Connaissances

Durée 1h30 - Documents et calculatrice autorisés

Exercices

Exercice Récepteur Radio pour standard WiFi	1
Exercice Synthèse de fréquence	2
Exercice Conversion sigma-delta passe bas	2
Exercice RF receiver for WiFi	3
Exercice Frequency synthesis	4
Exercice Low pass Sigma Delta Conversion	4

Exercice 1 - Récepteur Radio pour standard WiFi

On s'intéresse à la conception d'un récepteur radio pour un standard WiFi. Nous utiliserons l'architecture "low-IF" présentée dans la figure 1.

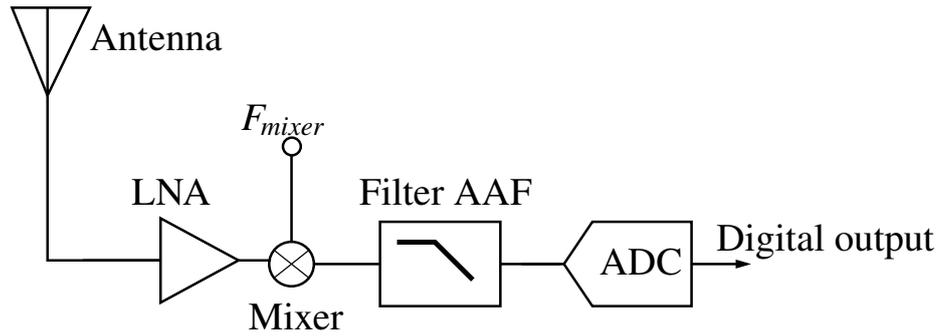


FIGURE 1 – Récepteur WLAN

La puissance moyenne en entrée du récepteur varie de -80 dBm à -30 dBm, la bande passante du signal est $B = 20$ MHz et la fréquence centrale est $f_{lo} = 2.4$ GHz. Le récepteur est adapté avec une résistance de 50Ω . Nous ferons notre étude à une température $T = 290$ K.

Question 1.1 Calculer la puissance du bruit thermique à l'entrée du récepteur. En déduire la plage de valeur du rapport signal à bruit en entrée du récepteur.

L'amplificateur faible bruit utilisé a un facteur de bruit de 3 dB et un gain de 15 dB. Nous souhaitons un rapport signal à bruit en sortie du mélangeur supérieur à 16 dB pour toute la plage de puissance du signal d'entrée.

Question 1.2 Calculer le facteur de bruit maximal que pourrait avoir le mélangeur.

Question 1.3 A quelle valeur doit-on fixer la fréquence du mélangeur F_{mixer} afin qu'on puisse à la fois minimiser la fréquence d'échantillonnage du convertisseur analogique numérique tout en garantissant l'intégrité du signal. Justifier votre réponse à l'aide d'un tracé à main levée et une très brève explication.

Nous nous intéressons à présent au gain de la chaîne auquel contribueront 2 blocs, l'amplificateur faible bruit et le mélangeur. Le convertisseur analogique numérique utilisé a une pleine échelle de ± 0.5 V. La différence entre la puissance maximale du signal en entrée¹ et sa puissance moyenne est de 10 dB.

Question 1.4 Calculer le gain maximal que pourrait avoir le récepteur et expliquer très brièvement quel seraient les désavantages de choisir un gain inférieur à cette valeur.

Intéressons nous à présent au filtre passe bas anti-repliement. Ce filtre doit avoir une variation de gain inférieure à 1 dB dans la bande passante et doit atténuer les fréquences supérieures à 30 MHz de plus de 40 dB.

Question 1.5 Tracer le gabarit d'atténuation de ce filtre et calculer son paramètre de sélectivité Ω_s .

Le filtre est réalisé au moyen d'une approximation de Tchebycheff. Les polynômes de Tchebycheff s'expriment par :

$$\forall x \geq 1, T_n(x) = \text{ch}(n \arg\text{ch}(x)),$$

où ch représente le cosinus hyperbolique et $\arg\text{ch}$ l'argument du cosinus hyperbolique², réciproque de la fonction ch .

Question 1.6 En déduire l'ordre minimal du filtre qui permet d'atteindre les spécifications voulues.

1. Amplitude maximale au carré

2. $\arg\text{ch}(x) = \ln(x + \sqrt{x^2 - 1})$ pour $x \geq 1$

Exercice 2 - Synthèse de fréquence

Afin de générer la fréquence désirée, on utilise la boucle à verrouillage de phase (PLL) de la figure 2 qui utilise un diviseur de fréquence entier N . On considère que le bruit de phase de la PLL est uniquement lié à l'oscillateur contrôlé (VCO) de la boucle. Ce dernier s'exprime, dans la bande de fréquence considérée au voisinage de la fréquence synthétisée f_0 , comme :

$$L(\Delta f) = -80 - 20 \log_{10}(\Delta f) \quad (1)$$

avec L exprimé en dBc/Hz et Δf l'écart par rapport à f_0 en kHz . On note K_{DP} le gain du comparateur de phase, K_{VCO} celui du VCO et $K = K_{DP}K_{VCO}$ le gain de boucle de la PLL. Pour simplifier l'analyse, on suppose que le filtre de boucle est un passe tout de gain unitaire ($G(p) = 1$).

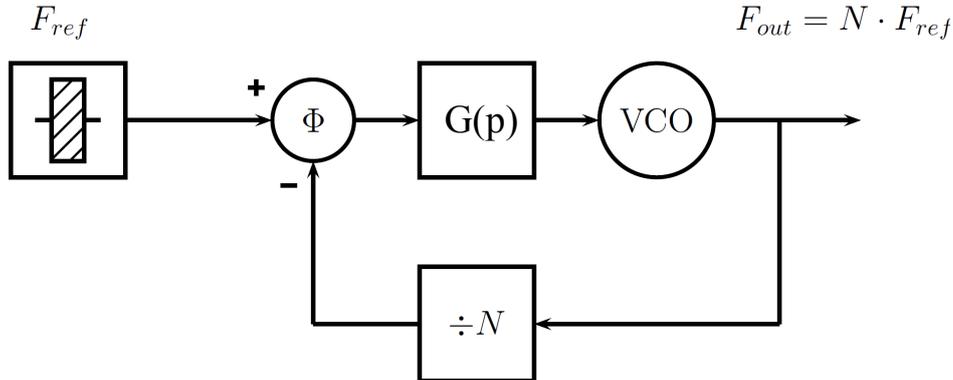


FIGURE 2 – Schéma de la boucle à verrouillage de phase utilisée

Question 2.1 Exprimer la fonction de transfert $T_0 = \frac{\Theta_{VCO}}{\Theta_0}$ avec Θ_{VCO} le bruit de phase de l'oscillateur contrôlé. On considère que le bruit de phase de l'oscillateur est un bruit additif en sortie du VCO. En déduire le type de filtrage effectué par la PLL sur le bruit de phase de l'oscillateur contrôlé.

Question 2.2 Sachant que la PLL a une fréquence de coupure $f_c = 10kHz$, en déduire le bruit de phase en sortie $S_0(f)$ de la boucle pour $\Delta f = 100kHz$.

Question 2.3 On souhaite utiliser cette PLL pour acquérir un signal utile d'une puissance de $-90 dBm$ et d'une bande passante de $4 kHz$. Calculer la puissance maximale d'une perturbation à $\Delta f = 100kHz$ afin d'assurer un SNR de $20 dB$. On supposera que le bruit de phase est constant dans la bande utile.

Exercice 3 - Conversion sigma-delta passe bas

L'architecture du modulateur sigma-delta, présentée sur la figure 3, comprend 3 éléments essentiels : le filtre, le quantificateur 1-bit et le CNA de retour 1-bit. Données : L'amplitude crête du signal d'entrée est égale à $1V$. Le signal d'entrée occupe une bande $BW=5 MHz$. La fréquence de l'horloge est notée F_S .

Fonctionnement : L'entrée du système est $x(t)$. C'est le signal d'entrée analogique à convertir. La sortie est $y[n]$, prend successivement la valeur 1 ou 0 logique. Le fonctionnement du modulateur repose sur une contre réaction de la sortie qui est soustraite à l'entrée. Le signal rebouclé sur l'entrée $y_a[n]$ vaut $\pm 1V$.

Question 3.1 Quels sont les trois principes qui permettent au convertisseur sigma delta d'atteindre les hautes résolutions à partir d'un quantificateur 1 bit ?

Question 3.2 Dans un convertisseur utilisant seulement le principe du sur-échantillonnage, quelle valeur F_S est nécessaire pour obtenir une précision équivalente de 4 bits à partir d'un quantificateur 1 bit ?

On conserve cette valeur de F_S .

Pour déterminer la fonction de mise en forme du bruit par le modulateur sigma-delta, on considère que le bruit de quantification est une source additive $Q(z)$ qui s'ajoute à une conversion idéale du

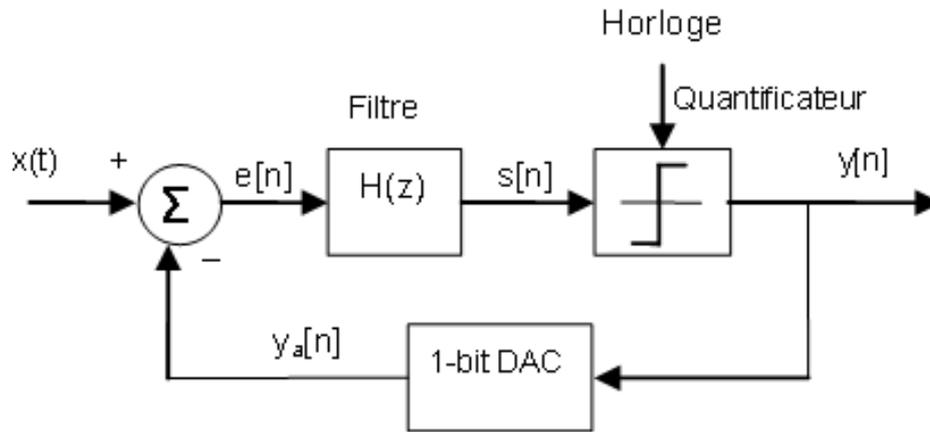


FIGURE 3 – Architecture de modulateur sigma delta passe bas 1er ordre

signal $s[n]$ par le quantificateur : $Y(z) = S(z) + Q(z)$

De plus le CNA de retour est idéal : $Y_a(z) = Y(z)$

Et la fonction de transfert du filtre du 1er ordre est :

$$H(z) = \frac{z^{-1}}{(1 - z^{-1})}$$

Question 3.3 Démontrer que la fonction de transfert du bruit est :

$$NTF(z) = \frac{Y(z)}{Q(z)} = 1 - z^{-1}$$

Question 3.4 Tracer $|NTF(f)|^2$ en fonction de f dans la bande 0 à $F_s/2$.

Rappel : $z = e^{j\omega T_s}$

A partir du tracé, observer la mise en forme du bruit. Quel traitement subit le bruit dans la bande occupée par le signal d'entrée? Quelle est la résolution équivalente?

ENGLISH VERSION

Exercice 1 - RF receiver for WiFi

We would like to design a radio receiver for a WiFi standard. We will use the “low-IF” architecture shown in figure 1.

The average input power of the receiver varies from -80 dBm to -30 dBm, the signal bandwidth is $B = 20$ MHz and the center frequency is $f_{lo} = 2.4$ GHz. The receiver is matched with a resistance of 50Ω . We will do our study at a temperature $T = 290$ K.

Question 1.1 Calculate the power of the thermal noise at the receiver input. Deduce the range of the signal-to-noise ratio at the receiver input.

The used low noise amplifier has a noise figure of 3 dB and a gain of 15 dB. We want a signal-to-noise ratio at the mixer output greater than 16 dB over the entire power range of the input signal.

Question 1.2 Calculate the maximum noise figure allowed for the mixer.

Question 1.3 At what value should we set the frequency of the mixer F_{mixer} so that we can both minimize the sampling frequency of the analog to digital converter while ensuring the integrity of the signal. Justify your answer using a freehand plot and very brief explanation.

We will now focus on the gain of the chain to which 2 blocks will contribute, the low noise amplifier and the mixer. The used analog digital converter has a full scale of ± 0.5 V. The difference between the maximum power of the input signal³ and its average power is 10 dB.

Question 1.4 Calculate the maximum gain that the receiver could have and explain very briefly what would be the disadvantages of choosing a gain lower than this value.

Now let us study the anti-aliasing low pass filter. This filter should have a gain variation less than 1 dB in the useful bandwidth and shall attenuate frequencies above 30 MHz by more than 40 dB.

Question 1.5 Plot the attenuation template of this filter and calculate its selectivity parameter Ω_s .

The filter is built using a Tchebycheff approximation. Tchebycheff polynomials are expressed by :

$$\forall x \geq 1, T_n(x) = \text{ch}(n \text{ arch}(x)),$$

where ch represents the hyperbolic cosine function and arch the hyperbolic cosine argument⁴, the inverse function of ch .

Question 1.6 Deduce the minimum order of the filter that achieves the desired specifications.

Exercice 2 - Frequency synthesis

To generate the desired frequency, a phase locked loop (PLL) is used. The PLL, presented in figure 2, divide the frequency by an integer N. The only source of phase noise is the one from the voltage controlled oscillator (VCO). It can be expressed, in the frequency band of interest around the synthesized frequency f_0 as :

$$L(\Delta f) = -80 - 20 \log_{10}(\Delta f) \quad (2)$$

where L is in dBc/Hz and Δf is the distance from f_0 in kHz . We note K_{DP} the gain of the phase comparator, K_{VCO} the gain of the VCO and $K = K_{DP}K_{VCO}$ the loop gain of the PLL. To simplify the analysis, the loop filter used is an all-pass filter with unitary gain ($G(p) = 1$).

Question 2.1 Express the transfer function $T_0 = \frac{\Theta_{VCO}}{\Theta_0}$ where Θ_{VCO} is the phase noise of the VCO. The phase noise of the VCO will be considered as an additive noise at the VCO output. What kind of filtering is performed by the PLL on the phase noise of the VCO ?

Question 2.2 Considering that the PLL has a cutoff frequency of $f_c = 10 \text{ kHz}$, what is the PLL output phase noise $S_0(f)$ at $\Delta f = 100 \text{ kHz}$?

Question 2.3 We want to use this PLL to acquire a useful signal with a total power of -90 dBm and a bandwidth of 4 kHz. What is the maximum power for an interference at $\Delta f = 100 \text{ kHz}$ to ensure a SNR of 20 dB ? The PLL phase noise is considered constant in the band of interest.

Exercice 3 - Low pass Sigma Delta Conversion

The Sigma-Delta modulator architecture, shown on figure 3, is constituted by 3 main components : the filter, the 1-bit quantizer and the 1-bit feedback DAC. Data : The maximum amplitude of the input signal is equal to 1V. The input bandwidth is $\text{BW} = 5$ MHz. The clock frequency is named F_S .

Operation : The system input $x(t)$ is the analog value to convert. The modulator output $y[n]$ is a succession of logical 0 and 1 at the frequency F_S . The modulator operation relies on the feedback loop resulting in subtracting the output to the input. The feedback signal $ya[n]$ can take 2 values ± 1 V.

Question 3.1 What are the 3 principles that lead to high resolution in Sigma Delta converter starting from 1-bit quantizer ?

Question 3.2 In a converter based only on the oversampling principle, what is the F_S value necessary to get equivalent resolution of 4 bits with a 1-bit quantizer ?

3. Maximum amplitude squared

4. $\text{arch}(x) = \ln(x + \sqrt{x^2 - 1})$ for $x \geq 1$

Fs is kept to this value.

In order to determine the noise shaping function added by the modulator, the quantization noise is modeled at the quantizer output by an source $Q(z)$ added to signal ideal conversion $s[n]$. $Y(z) = S(z) + Q(z)$

Moreover, the DAC is ideal : $Y_a(z) = Y(z)$

And the filter transfer function is 1st order :

$$H(z) = \frac{z^{-1}}{(1 - z^{-1})}$$

Question 3.3 Demonstrate that the noise transfer function is :

$$NTF(z) = \frac{Y(z)}{Q(z)} = 1 - z^{-1}$$

Question 3.4 Plot $|NTF(f)|^2$ in function of f in the band 0 to $F_s/2$.

Rappel : $z = e^{j\omega T_s}$

From this plot, comment on the noise shaping in the useful band BW. What is the equivalent resolution ?